

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

概述

MAX5703/MAX5704/MAX5705双通道、低功耗、8/10/12位电压输出数/模转换器(DAC)带有输出缓冲器和2.048V、2.500V或4.096V可选择基准。MAX5703/MAX5704/MAX5705采用2.7V至5.5V宽电压范围供电,具有极低功耗(< 1mW),适用于大多数低压应用。外部精密基准输入用于支持满幅工作,对外部基准呈100k Ω (典型值)的等效负载阻抗。

MAX5703/MAX5704/MAX5705具有50MHz 3线SPI/QSPI™/MICROWIRE®/DSP兼容串行接口。DAC输出带有缓冲,提供155 μ A (3V下的典型值)的低电源电流以及 ± 0.5 mV (典型值)的低失调误差。上电时, MAX5703/MAX5704/MAX5705将DAC输出复位至零,为驱动电子阀门或其它传感器等需要上电处于关闭状态的应用提供安全保护。可在初始化时关闭内部基准,从而允许使用外部基准。

MAX5703/MAX5704/MAX5705包括用户可配置的低电平有效异步输入AUX,提供额外的灵活性。该输入可以设置为异步清零(CLR)或临时屏蔽(GATE)DAC输出功能,使其置于用户可编程的数值。器件还提供专用的低电平有效异步LDAC输入,允许同时刷新多颗器件的输出。

MAX5703/MAX5704/MAX5705采用10引脚TDFN/ μ MAXM封装,工作在-40°C至+125°C温度范围。

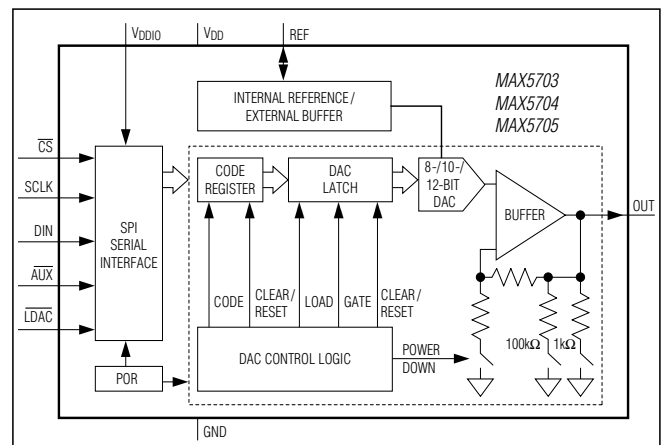
应用

可编程电压及电流源
增益与失调调节
自动调谐和光控制
功率放大器控制和偏置
过程控制与伺服环路
便携式仪表
数据采集

优势和特性

- ◆ 单通道高精度DAC
 - ◇ 12位精度,无需调整
 - ◇ ± 1 LSB INL,带缓冲电压输出
 - ◇ 整个工作条件下保证单调
- ◆ 三种可选择的内部精密基准:
 - ◇ 2.048V、2.500V或4.096V
- ◆ 内部输出缓冲器
 - ◇ 采用外部基准支持满幅工作
 - ◇ 6.3 μ s建立时间
 - ◇ 输出可直接驱动2k Ω 负载
- ◆ 小尺寸、10引脚、2mm x 3mm TDFN和3mm x 5mm μ MAX封装
- ◆ 2.7V至5.5V宽电源范围
- ◆ 灵活支持1.8V至5.5V V_{DDIO}
- ◆ 50MHz 3线SPI/QSPI/MICROWIRE/DSP兼容串行接口
- ◆ 上电时,将DAC输出复位至零
- ◆ 用户可配置异步I/O功能: $\overline{\text{CLR}}$ 、 $\overline{\text{LDAC}}$ 、GATE
- ◆ 三种软件可选的关断输出阻抗1k Ω 、100k Ω 或高阻
- ◆ 3V时耗流低至155 μ A

功能框图



QSPI是Motorola, Inc.的商标。
MICROWIRE是National Semiconductor Corp.的注册商标。
 μ MAX是Maxim Integrated Products, Inc.的注册商标。

订购信息在数据资料的最后给出。

相关型号以及配合该器件使用的推荐产品,请参见: china.maximintegrated.com/MAX5703.related。

本文是英文数据资料的译文,文中可能存在翻译上的不准确或错误。如需进一步确认,请在您的设计中参考英文资料。
有关价格、供货及订购信息,请联络Maxim亚洲销售中心: 10800 852 1249 (北中国区), 10800 152 1249 (南中国区), 或访问Maxim的中文网站: china.maximintegrated.com。

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND.....-0.3V to +6V
 V_{DDIO} to GND-0.3V to +6V
 OUT, REF to GND-0.3V to lower of ($V_{DD} + 0.3V$) and +6V
 $\overline{CS}$, SCLK, DIN, AUX, LDAC to GND.....-0.3V to +6V
 Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)
 TDFN (derate 14.9mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$)..... 1188.7mW
 μMAX (derate 8.8mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$) 707.3mW

Maximum Continuous Current into Any Pin $\pm 50\text{mA}$
 Operating Temperature Range -40°C to $+125^\circ\text{C}$
 Storage Temperature Range..... -65°C to $+150^\circ\text{C}$
 Lead Temperature (soldering, 10s) $+300^\circ\text{C}$
 Soldering Temperature (reflow) $+260^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

PACKAGE THERMAL CHARACTERISTICS (Note 1)

TDFN

Junction-to-Ambient Thermal Resistance (θ_{JA}) 67.3°C/W

μMAX

Junction-to-Ambient Thermal Resistance (θ_{JA}) 113.1°C/W

Junction-to-Ambient Thermal Resistance (θ_{JC})..... 36°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to china.maximintegrated.com/thermal-tutorial.

ELECTRICAL CHARACTERISTICS

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_L = 200\text{pF}$, $R_L = 2k\Omega$, $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$, unless otherwise noted.)
 (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC PERFORMANCE (Note 3)						
Resolution and Monotonicity	N	MAX5703	8			Bits
		MAX5704	10			
		MAX5705	12			
Integral Nonlinearity (Note 4)	INL	MAX5703, 8 bits	-0.25	± 0.05	+0.25	LSB
		MAX5704, 10 bits	-0.5	± 0.2	+0.5	
		MAX5705, 12 bits	-1	± 0.5	+1	
Differential Nonlinearity (Note 4)	DNL	MAX5703, 8 bits	-0.25	± 0.05	+0.25	LSB
		MAX5704, 10 bits	-0.5	± 0.1	+0.5	
		MAX5705, 12 bits	-1	± 0.2	+1	
Offset Error (Note 5)	OE		-5	± 0.5	+5	mV
Offset Error Drift				± 10		$\mu\text{V}/^\circ\text{C}$
Gain Error (Note 5)	GE		-1.0	± 0.1	+1.0	%FS
Gain Temperature Coefficient		With respect to V_{REF}		± 2.5		ppm of FS/ $^\circ\text{C}$
Zero-Scale Error			0		+10	mV
Full-Scale Error		With respect to V_{REF}	-0.5		+0.5	%FS

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_L = 200pF$, $R_L = 2k\Omega$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted.)
(Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DAC OUTPUT CHARACTERISTICS							
Output Voltage Range (Note 6)		No load		0		V _{DD}	V
		2kΩ load to GND		0		V _{DD} - 0.2	
		2kΩ load to V _{DD}		0.2		V _{DD}	
Load Regulation		V _{OUT} = V _{FS} /2	V _{DD} = 3V ±10%, I _{OUT} ≤ 5mA		300		μV/mA
			V _{DD} = 5V ±10%, I _{OUT} ≤ 10mA		300		
DC Output Impedance		V _{OUT} = V _{FS} /2	V _{DD} = 3V ±10%, I _{OUT} ≤ 5mA		0.3		Ω
			V _{DD} = 5V ±10%, I _{OUT} ≤ 10mA		0.3		
Capacitive Load Handling	C _L				500		pF
Resistive Load Handling	R _L			2			kΩ
Short-Circuit Output Current		V _{DD} = 5.5V	Sourcing (output short to GND)		30		mA
			Sinking (output shorted to V _{DD})		40		
DYNAMIC PERFORMANCE							
Voltage-Output Slew Rate	SR	Positive and negative			2.0		V/μs
Voltage-Output Settling Time		¼ scale to ¾ scale, to ≤ 1 LSB, MAX5703			2.8		μs
		¼ scale to ¾ scale, to ≤ 1 LSB, MAX5704			5.2		
		¼ scale to ¾ scale, to ≤ 1 LSB, MAX5705			6.3		
DAC Glitch Impulse		Major code transition			5.0		nV·s
Digital Feedthrough		Code = 0, all digital inputs from 0V to V _{DDIO}			0.5		nV·s
Power-Up Time		Startup calibration time (Note 7)			200		μs
		From power-down mode			60		μs
DC Power-Supply Rejection		V _{DD} = 3V ±10% or 5V ±10%			100		μV/V

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_L = 200pF$, $R_L = 2k\Omega$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted.)
(Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Output Voltage-Noise Density (DAC Output at Midscale)		External reference	f = 1kHz		88		nV/ $\sqrt{Hz}$
			f = 10kHz		79		
		2.048V internal reference	f = 1kHz		108		
			f = 10kHz		98		
		2.5V internal reference	f = 1kHz		117		
			f = 10kHz		110		
		4.096V internal reference	f = 1kHz		152		
			f = 10kHz		145		
Integrated Output Noise (DAC Output at Midscale)		External reference	f = 0.1Hz to 10Hz		10		μV_{P-P}
			f = 0.1Hz to 10kHz		72		
			f = 0.1Hz to 300kHz		298		
		2.048V internal reference	f = 0.1Hz to 10Hz		11		
			f = 0.1Hz to 10kHz		89		
			f = 0.1Hz to 300kHz		370		
		2.5V internal reference	f = 0.1Hz to 10Hz		12		
			f = 0.1Hz to 10kHz		99		
			f = 0.1Hz to 300kHz		355		
		4.096V internal reference	f = 0.1Hz to 10Hz		13		
			f = 0.1Hz to 10kHz		128		
			f = 0.1Hz to 300kHz		400		
Output Voltage-Noise Density (DAC Output at Full Scale)		External reference	f = 1kHz		113		nV/ $\sqrt{Hz}$
			f = 10kHz		100		
		2.048V internal reference	f = 1kHz		172		
			f = 10kHz		157		
		2.5V internal reference	f = 1kHz		195		
			f = 10kHz		180		
		4.096V internal reference	f = 1kHz		279		
			f = 10kHz		258		
Integrated Output Noise (DAC Output at Full Scale)		External reference	f = 0.1Hz to 10Hz		12		μV_{P-P}
			f = 0.1Hz to 10kHz		88		
			f = 0.1Hz to 300kHz		280		
		2.048V internal reference	f = 0.1Hz to 10Hz		14		
			f = 0.1Hz to 10kHz		135		
			f = 0.1Hz to 300kHz		530		
		2.5V internal reference	f = 0.1Hz to 10Hz		15		
			f = 0.1Hz to 10kHz		160		
			f = 0.1Hz to 300kHz		550		
		4.096V internal reference	f = 0.1Hz to 10Hz		23		
			f = 0.1Hz to 10kHz		220		
			f = 0.1Hz to 300kHz		610		

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_L = 200pF$, $R_L = 2k\Omega$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted.)
(Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE INPUT						
Reference Input Range	V_{REF}		1.24		V_{DD}	V
Reference Input Current	I_{REF}	$V_{REF} = V_{DD} = 5.5V$		55	75	μA
Reference Input Impedance	R_{REF}		75	100		$k\Omega$
REFERENCE OUTPUT						
Reference Output Voltage	V_{REF}	$V_{REF} = 2.048V$, $T_A = +25^{\circ}C$	2.043	2.048	2.053	V
		$V_{REF} = 2.5V$, $T_A = +25^{\circ}C$	2.494	2.500	2.506	
		$V_{REF} = 4.096V$, $T_A = +25^{\circ}C$	4.086	4.096	4.106	
Reference Output Noise Density		$V_{REF} = 2.048V$	$f = 1kHz$	129		$nV/\sqrt{Hz}$
			$f = 10kHz$	122		
		$V_{REF} = 2.500V$	$f = 1kHz$	158		
			$f = 10kHz$	151		
		$V_{REF} = 4.096V$	$f = 1kHz$	254		
			$f = 10kHz$	237		
Integrated Reference Output Noise		$V_{REF} = 2.048V$	$f = 0.1Hz$ to $10Hz$	12		μV_{P-P}
			$f = 0.1Hz$ to $10kHz$	110		
			$f = 0.1Hz$ to $300kHz$	390		
		$V_{REF} = 2.500V$	$f = 0.1Hz$ to $10Hz$	15		
			$f = 0.1Hz$ to $10kHz$	129		
			$f = 0.1Hz$ to $300kHz$	430		
		$V_{REF} = 4.096V$	$f = 0.1Hz$ to $10Hz$	20		
			$f = 0.1Hz$ to $10kHz$	205		
			$f = 0.1Hz$ to $300kHz$	525		
Reference Temperature Coefficient (Note 8)		MAX5705A		± 4	± 12	$ppm/^{\circ}C$
		MAX5703/MAX5704/MAX5705B		± 10	± 25	
Reference Drive Capacity		External load		25		$k\Omega$
Reference Capacitive Load Handling				200		pF
Reference Load Regulation		$I_{SOURCE} = 0$ to $500\mu A$		1.0		mV/mA
Reference Line Regulation				0.1		mV/V

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_L = 200pF$, $R_L = 2k\Omega$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted.)
(Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
POWER REQUIREMENTS							
Supply Voltage	V _{DD}	V _{REF} = 4.096V		4.5		5.5	V
		All other options		2.7		5.5	
I/O Supply Voltage	V _{DDIO}			1.8		5.5	V
Supply Current (DAC Output at Midscale) (Note 9)	I _{DD}	External reference	V _{REF} = 3V		135	190	μA
			V _{REF} = 5V		165	225	
		Internal reference, reference pin undriven	V _{REF} = 2.048V		190	265	
			V _{REF} = 2.5V		205	280	
			V _{REF} = 4.096V		250	340	
		Internal reference, reference pin driven	V _{REF} = 2.048V		215	300	
			V _{REF} = 2.5V		225	315	
			V _{REF} = 4.096V		275	375	
Supply Current (DAC Output at Full Scale) (Note 9)	I _{DD}	External reference	V _{REF} = 3V		155	210	μA
			V _{REF} = 5V		200	265	
		Internal reference, reference pin undriven	V _{REF} = 2.048V		205	280	
			V _{REF} = 2.5V		220	300	
			V _{REF} = 4.096V		275	375	
		Internal reference, reference pin driven	V _{REF} = 2.048V		225	310	
			V _{REF} = 2.5V		240	330	
			V _{REF} = 4.096V		300	410	
Power-Down Mode Supply Current (DAC Powered Down, Reference Remains Active) (Note 9)	I _{DD}	Internal reference, reference pin driven	V _{REF} = 2.048V		90	135	μA
			V _{REF} = 2.5V		93	135	
			V _{REF} = 4.096V		100	150	
Power-Down Mode Supply Current (Note 9)	I _{PD}	External reference, V _{DD} = V _{REF}			0.4	2	μA
Digital Supply Current (Note 9)	I _{DDIO}					1.0	μA
DIGITAL INPUT CHARACTERISTICS ($\overline{CS}$, SCLK, DIN, $\overline{LDAC}$, AUX)							
Input High Voltage	V _{IH}	2.2V < V _{DDIO} < 5.5V		0.7 x V _{DDIO}			V
		1.8V < V _{DDIO} < 2.2V		0.8 x V _{DDIO}			
Input Low Voltage	V _{IL}	2.2V < V _{DDIO} < 5.5V		0.3 x V _{DDIO}			V
		1.8V < V _{DDIO} < 2.2V		0.2 x V _{DDIO}			

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_L = 200pF$, $R_L = 2k\Omega$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted.)
(Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Hysteresis Voltage	V _H			0.15			V
Input Leakage Current (Note 9)	I _{IN}			±0.1 ±1			µA
Input Capacitance	C _{IN}			3			pF
SPI TIMING CHARACTERISTICS ($\overline{CS}$, SCLK, DIN, $\overline{LDAC}$, AUX) (Note 10)							
SCLK Frequency		2.7V ≤ V _{DDIO} ≤ 5.5V		0	50		MHz
		1.8V ≤ V _{DDIO} < 2.7V		0	33		
SCLK Period	t _{SCLK}	2.7V ≤ V _{DDIO} ≤ 5.5V		20			ns
		1.8V ≤ V _{DDIO} < 2.7V		30			
SCLK Pulse Width High	t _{CH}			8			ns
SCLK Pulse Width Low	t _{CL}			8			ns
$\overline{CS}$ Fall to SCLK Fall Setup Time	t _{CSS0}	To first SCLK falling edge	2.7V ≤ V _{DDIO} ≤ 5.5V	8			ns
			1.8V ≤ V _{DDIO} < 2.7V	12			
$\overline{CS}$ Fall to SCLK Fall Hold Time	t _{CSH0}	Applies to inactive SCLK falling edge preceding the first SCLK falling edge		0			ns
$\overline{CS}$ Rise to SCLK Fall Hold Time	t _{CSH1}	Applies to the 24th SCLK falling edge		0			ns
$\overline{CS}$ Rise to SCLK Fall	t _{CSA}	Applies to the 24th SCLK falling edge, aborted sequence		12			ns
SCLK Fall to $\overline{CS}$ Fall	t _{CSF}	Applies to 24th SCLK falling edge		100			ns
$\overline{CS}$ Pulse Width High	t _{CSPW}			20			ns
DIN to SCLK Fall Setup Time	t _{DS}			5			ns
DIN to SCLK Fall Hold Time	t _{DH}			4.5			ns
CLR Pulse Width Low	t _{CLPW}			20			ns
CLR Rise to $\overline{CS}$ Fall	t _{CSC}	Required for command to be executed		20			ns
$\overline{LDAC}$ Pulse Width Low	t _{LDPW}			20			ns
$\overline{LDAC}$ Fall to SCLK Fall Hold	t _{LDH}	Applies to 24th SCLK falling edge		20			ns

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_L = 200pF$, $R_L = 2k\Omega$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted.)
(Note 2)

- Note 2:** Electrical specifications are production tested at $T_A = +25^{\circ}C$. Specifications over the entire operating temperature range are guaranteed by design and characterization. Typical specifications are at $T_A = +25^{\circ}C$.
- Note 3:** DC Performance is tested without load.
- Note 4:** Linearity is tested with unloaded outputs to within 20mV of GND and V_{DD} .
- Note 5:** Gain and offset calculated from measurements made with $V_{REF} = V_{DD}$ at code 30 and 4065 for MAX5705, code 8 and 1016 for MAX5704, and code 2 and 254 for MAX5703.
- Note 6:** Subject to zero and full-scale error limits and V_{REF} settings.
- Note 7:** On power-up, the device initiates an internal 200 μs (typ) calibration sequence. All commands issued during this time will be ignored.
- Note 8:** Specification is guaranteed by design and characterization.
- Note 9:** Static logic inputs with $V_{IL} = V_{GND}$ and $V_{IH} = V_{DDIO}$.
- Note 10:** All timing is tested with $V_{IL} = V_{GND}$ and $V_{IH} = V_{DDIO}$.

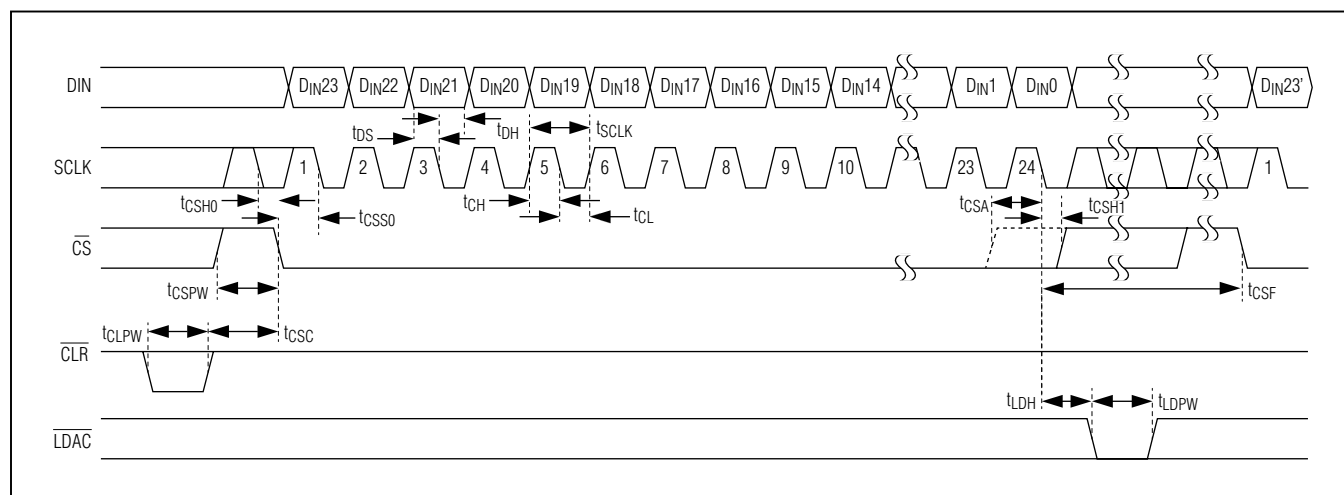


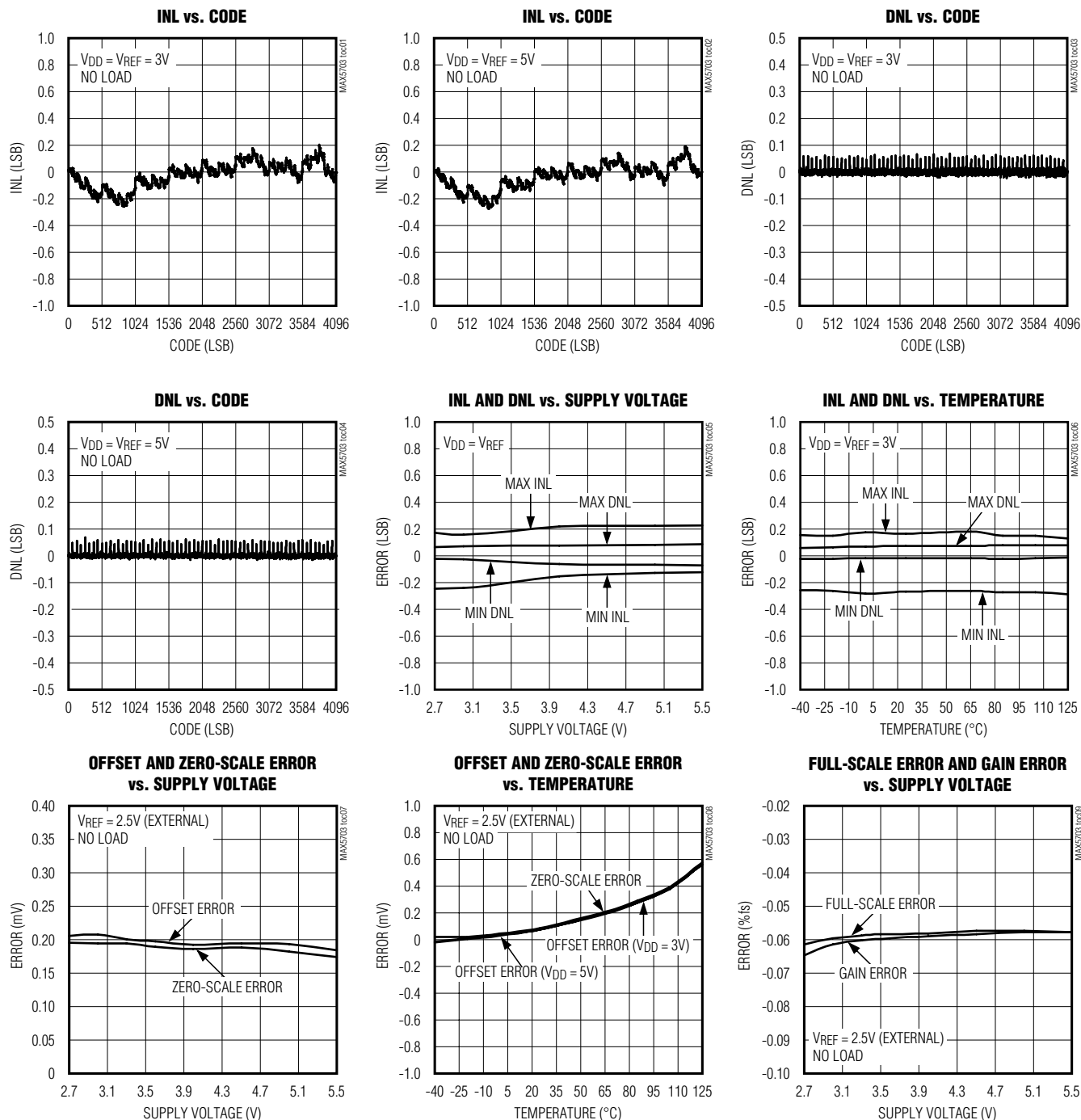
图1. SPI串行接口时序图

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

典型工作特性

(MAX5705, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)



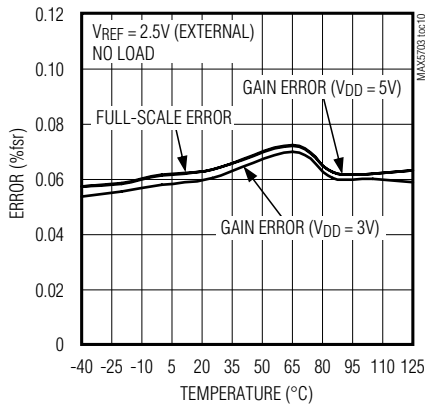
MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

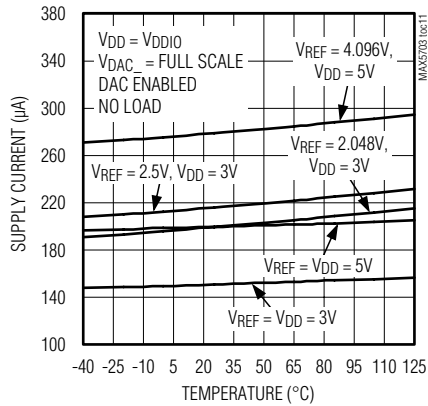
典型工作特性(续)

(MAX5705, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

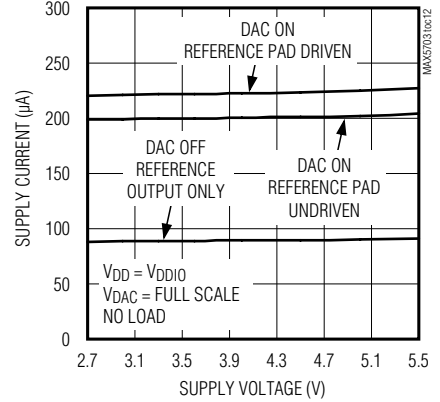
**FULL-SCALE ERROR AND GAIN ERROR
vs. TEMPERATURE**



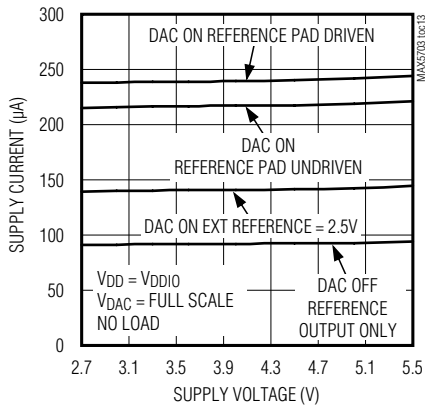
**SUPPLY CURRENT vs. TEMPERATURE
(PIN UNDRIVEN FOR INTERNAL REF MODES)**



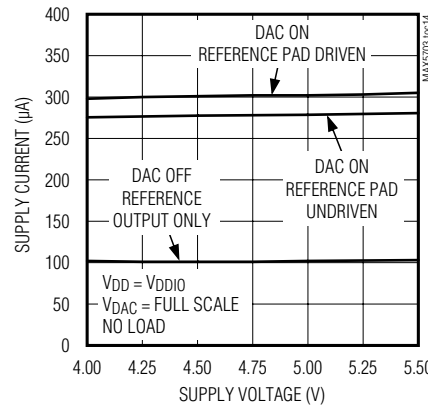
**SUPPLY CURRENT vs. SUPPLY VOLTAGE
(2.048V INTERNAL REFERENCE)**



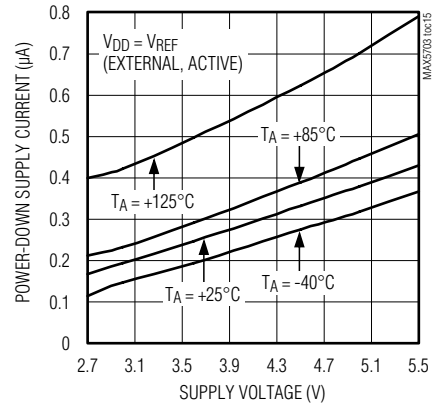
**SUPPLY CURRENT vs. SUPPLY VOLTAGE
(2.500V INTERNAL REFERENCE)**



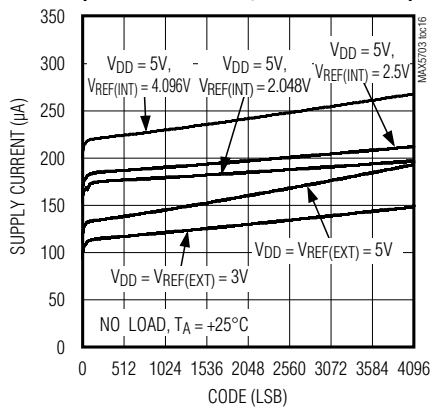
**SUPPLY CURRENT vs. SUPPLY VOLTAGE
(4.096V INTERNAL REFERENCE)**



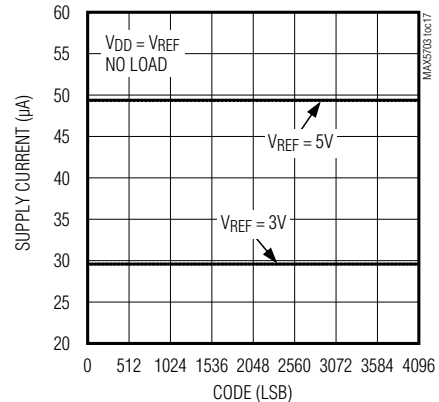
**POWER-DOWN MODE CURRENT
vs. SUPPLY VOLTAGE**



**SUPPLY CURRENT vs. CODE
(FOR INTERNAL REF, PIN IS UNDRIVEN)**



IREF (EXTERNAL) vs. CODE

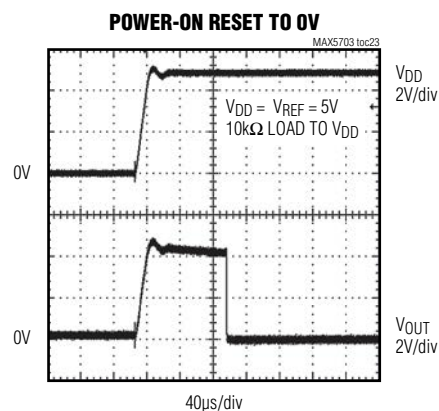
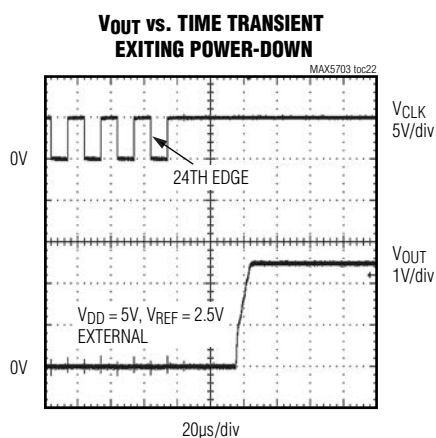
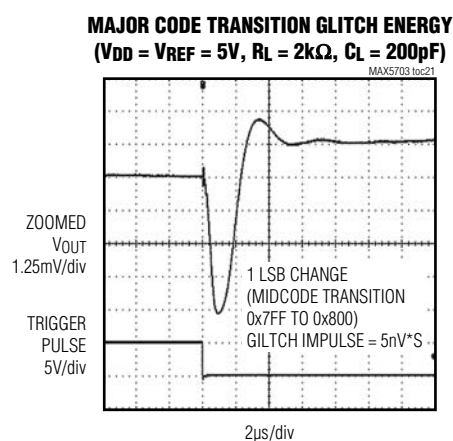
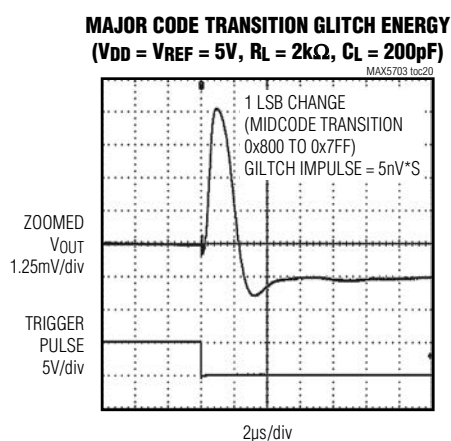
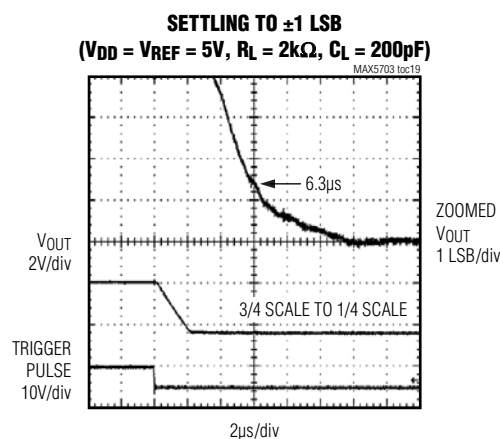
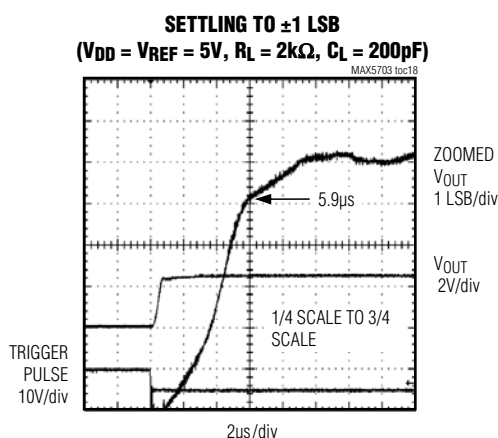


MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

典型工作特性(续)

(MAX5705, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)



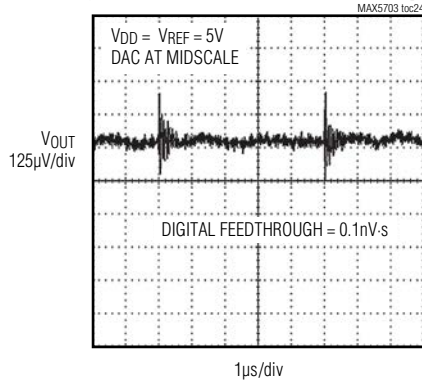
MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

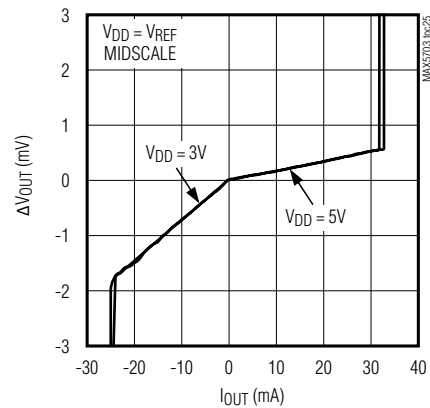
典型工作特性(续)

(MAX5705, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

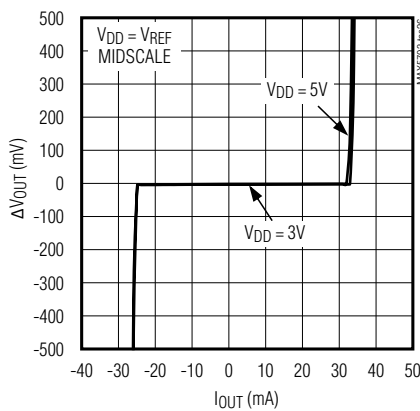
DIGITAL FEEDTHROUGH
($V_{DD} = V_{REF} = 5\text{V}$, $R_L = 2\text{k}\Omega$, $C_L = 200\text{pF}$)



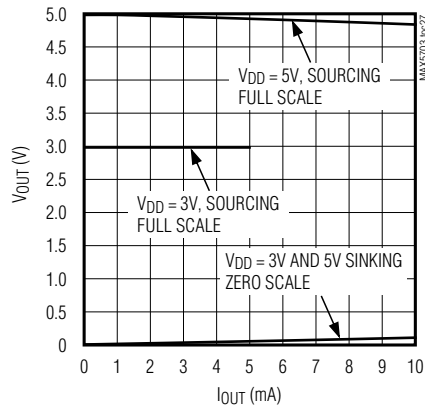
OUTPUT LOAD REGULATION



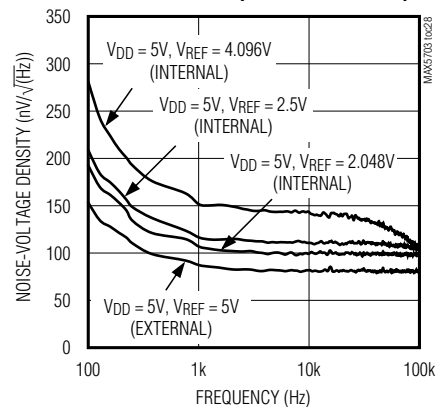
OUTPUT CURRENT LIMITING



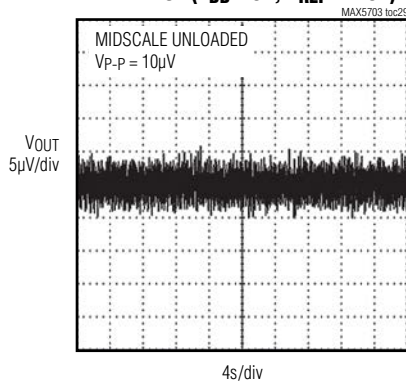
HEADROOM AT RAILS
vs. OUTPUT CURRENT ($V_{DD} = V_{REF}$)



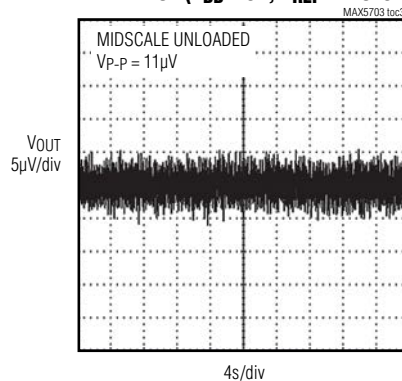
NOISE-VOLTAGE DENSITY
vs. FREQUENCY (DAC AT MIDSCALE)



0.1Hz TO 10Hz OUTPUT NOISE, EXTERNAL REFERENCE ($V_{DD} = 5\text{V}$, $V_{REF} = 4.5\text{V}$)



0.1Hz TO 10Hz OUTPUT NOISE, INTERNAL REFERENCE ($V_{DD} = 5\text{V}$, $V_{REF} = 2.048\text{V}$)

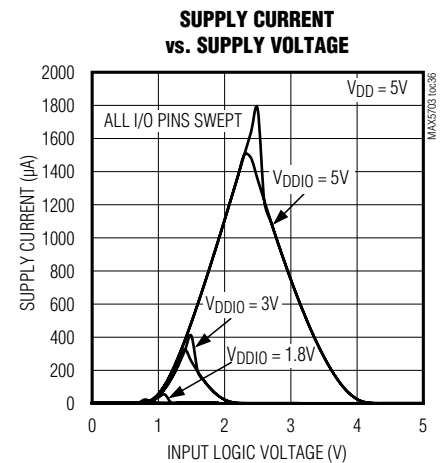
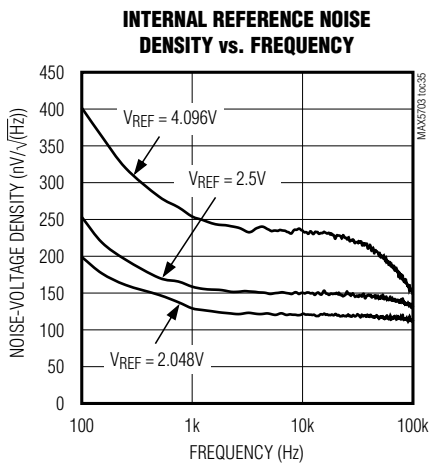
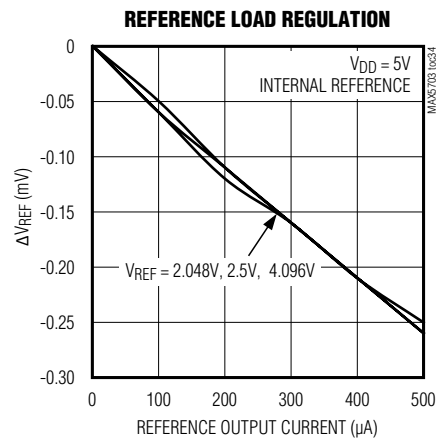
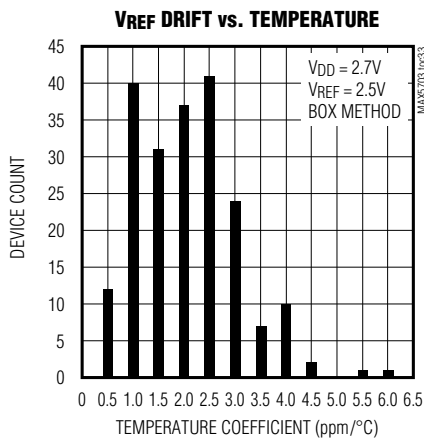
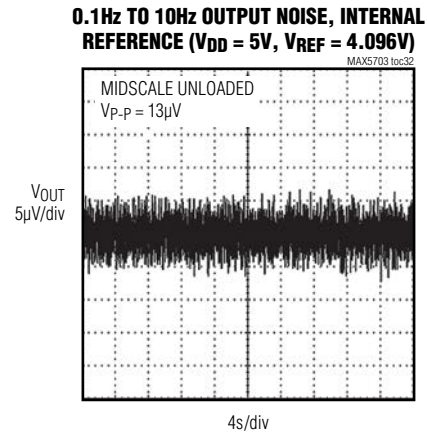
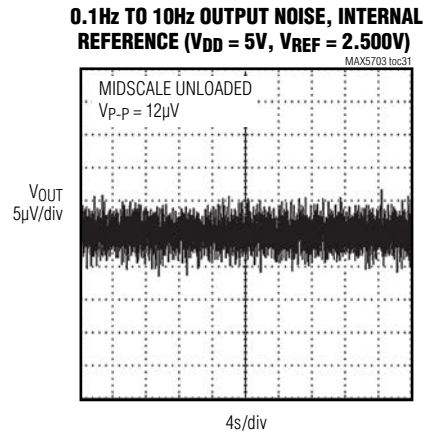


MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

典型工作特性(续)

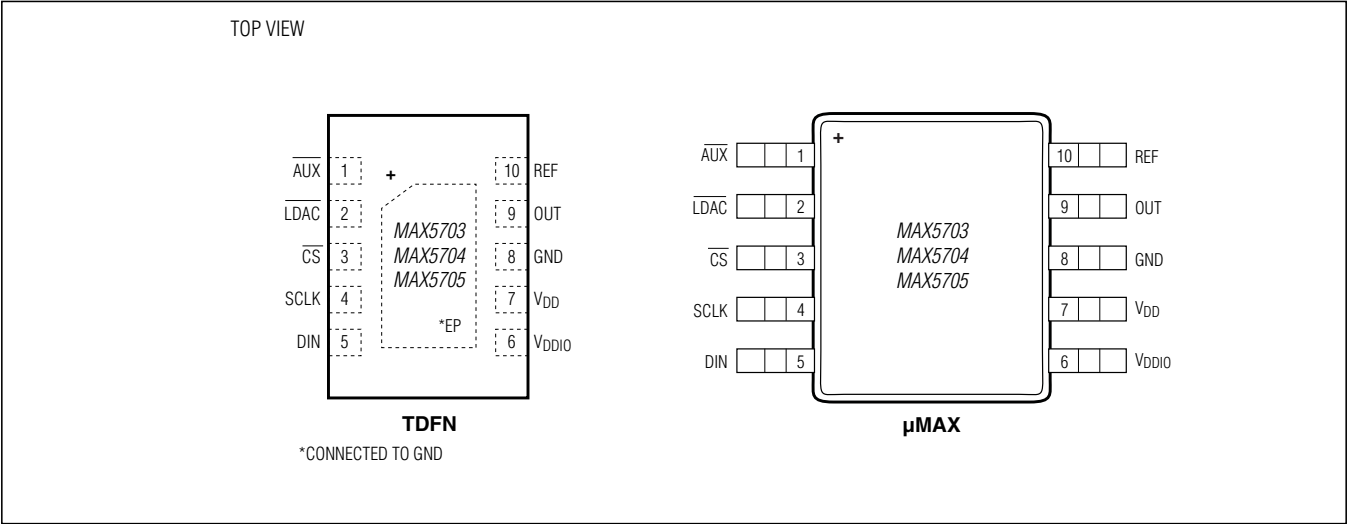
(MAX5705, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)



MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

引脚配置



引脚说明

引脚	名称	功能
1	AUX	低电平有效的附加异步输入，用户可配置，参见表7。
2	LDAC	专用的低电平有效异步DAC装载控制。
3	CS	SPI 片选输入。
4	SCLK	SPI接口时钟输入。
5	DIN	SPI接口数据输入。
6	VDDIO	数字接口电源输入。
7	VDD	电源电压输入，利用0.1μF电容将VDD旁路至GND。
8	GND	地。
9	OUT	DAC缓冲输出。
10	REF	基准电压输入/输出。
—	EP	裸焊盘(仅限TDFN封装)，连接至地。

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

详细说明

MAX5703/MAX5704/MAX5705为单通道、低功耗、8/10/12位电压输出数/模转换器(DAC), 内置输出缓冲器。2.7V至5.5V较宽的供电电压范围和低功耗特性, 能够支持低功耗和低压应用。器件对外部基准呈现100K Ω (典型值)负载。内部输出缓冲器允许满摆幅工作。提供内部电压基准, 利用软件可选择2.048V、2.500V或4.096V。器件具有50MHz 3线SPI/QSPI/MICROWIRE/DSP兼容串行接口, 有效节省电路板空间, 并降低隔离应用接口的复杂度。MAX5703/MAX5704/MAX5705包括串入/并出移位寄存器、内部CODE和DAC寄存器、将DAC输出初始化为零的上电复位(POR)电路, 以及控制逻辑。用户可配置AUX引脚异步清零或屏蔽器件输出, 独立于串口控制。

DAC输出(OUT)

MAX5703/MAX5704/MAX5705的DAC输出均具有内部缓冲器, 改善DAC输出的负载驱动能力。输出缓冲器摆率为1V/ μ s (典型值), 最高可驱动2k Ω 与500pF并联负载。由于模拟电源(V_{DD})为输出缓冲器供电, 它决定了器件的最大输出电压范围。空载条件下, 输出缓冲器的输出可从GND至V_{DD}, 具体受失调和增益误差的影响。对GND的负载为2k Ω 时, 输出缓冲器输出范围为GND至低于V_{DD} 200mV范围。对V_{DD}的负载为2k Ω 时, 输出缓冲器输出范围为高于GND 200mV至V_{DD}。

DAC的理想输出电压定义为:

$$V_{OUT} = V_{REF} \times \frac{D}{2^N}$$

式中, D = 装载至DAC寄存器的编码, V_{REF} = 基准电压, N = 分辨率。

内部寄存器结构

用户接口与DAC逻辑电路相互独立, 使数字馈通降至最小。串行接口内部为输入移位寄存器, 根据用户命令, 该寄存器内容可送至控制寄存器或DAC本身。

该器件都有一个CODE寄存器, 然后是DAC锁存寄存器(见[功能框图](#))。CODE寄存器的内容为即将输出的DAC设置, 随后可装载至DAC寄存器。可利用CODE和CODE_LOAD用户命令更新CODE寄存器。DAC寄存器的内容为当前DAC输出设置。使用CODE_LOAD命令可直接从串行接口更新DAC寄存器, 也可以利用LOAD命令或LDAC输入装载CODE寄存器的当前内容。

任何软件关断期间, 器件将保存CODE和DAC寄存器的内容, 当DAC恢复其正常工作模式时可以恢复之前储存的输出设置。软件关断状态期间发出的任何CODE或LOAD命令, 仍将更新寄存器的内容。SW_CLEAR命令清除CODE和DAC寄存器的内容, 将其置于用户可编程的默认数值。SW_RESET命令将所有配置寄存器的状态复位到上电默认状态, 并将CODE和DAC寄存器复位到零。

内部基准

MAX5703/MAX5704/MAX5705带有内部高精度电压基准, 可通过软件选择2.048V、2.500V或4.096V。内部基准选定后, REF引脚为其它外部电路提供电压(见[典型工作电路](#)), 可驱动25k Ω 负载。

外部基准

外部基准输入具有100K Ω 的典型输入阻抗, 支持从+1.24V至V_{DD}输入电压。使用外部基准时, 在REF和GND之间施加外部电压。MAX5703/4/5在上电和复位时为外部基准模式。关于外部电压基准器件的参考列表, 请访问china.maximintegrated.com/products/references。

AUX输入

MAX5703/MAX5704/MAX5705提供异步AUX (低电平有效)输入, 利用CONFIG命令配置器件, 选择以下模式之一: CLR (默认)、GATE或禁止。

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

CLR模式

CLR模式下, $\overline{AUX}$ 输入置为低电平时, 可以执行基于电平的CLEAR操作。如果配置成CLR并触发了该操作, 将清除所有CODE和DAC数据寄存器, 将它们置于相应的默认数据/由配置寄存器设置的返回值。其它用户配置设置不受影响。

有些正在传送的SPI接口命令会被CLR操作屏蔽掉, 如果在写命令过程中触发了CLR操作, 则将忽略传输过程中任何屏蔽的命令, 但执行任何非屏蔽命令。为消除屏蔽条件, 需要将CLR驱动到高电平, 并满足tcsc规定的时间指标。

GATE模式

利用GATE模式可以暂时将DAC保持在用户选择的默认/返回状态, 将DAC恢复到最后设置的状态。MAX5703/MAX5704/MAX5705还提供软件编程GATE命令, 触发GATE模式, $\overline{AUX}$ 引脚不会影响RETURN、CODE或DAC寄存器的更新以及相应的数据装载操作。

LDAC输入

MAX5703/MAX5704/MAX5705具有专用的异步LDAC (低电平有效)输入, LDAC输入拉低时, 执行异步、基于电平的LOAD操作。采用LDAC输入模式, 可以对多器件构成的一组DAC数据进行装载。如果用户希望单独控制(而非通过I/O指令) DAC数据装载, 则要保证在器件编程期间将LDAC保持在高电平。一旦完成编程, 可触发LDAC, 装载新的CODE寄存器内容并锁存到DAC输出。如果用户希望直接响应I/O CODE寄存器, 装载新的DAC数据, 可将LDAC始终连接到低电平; 这种配置下, MAX5703/MAX5704/MAX5705在每次完成I/O CODE指令更新的边沿即刻更新DAC输出。器件还提供软件LOAD指令。

LDAC操作不会与用户的接口操作相互影响, 但是, 为了尽可能避免瞬态干扰, 发送CODE命令时应满足接口更新边沿的时序(t_{LDH})要求。

V_{DDIO}输入

MAX5703/MAX5704/MAX5705具有用于数字接口(1.8V至5.5V)的独立电源引脚(V_{DDIO})。可以将V_{DDIO}连接至主处理器的I/O电源。

SPI串行接口

MAX5703/MAX5704/MAX5705 3线串行接口与MICROWIRE/SPI/QSPI和DSP兼容。接口提供三个输入: SCLK、 $\overline{CS}$ 和DIN。片选输入($\overline{CS}$, 低电平有效)将通过串行数据输入(DIN)装载的数据打包成帧。 $\overline{CS}$ 输入从高电平跳变为低电平后, 数据在串行时钟输入(SCLK)的每个下降沿同步移位并锁存至输入寄存器。每个串行操作字为24位长。DAC数据为左对齐, 如表1所示。在第24个SCLK下降沿加载24位数据后, 串行输入寄存器将其内容传输至目标寄存器。为启动新SPI操作, 将 $\overline{CS}$ 驱动为高电平后再驱动为低电平, 开始下一个操作序列, 确保满足相关的全部定时要求。 $\overline{CS}$ 为高电平期间, 忽略SCLK信号, 允许与相同总线上的其它器件进行通信。包括24个以上SCLK周期的SPI操作在第24个SCLK下降沿执行, 使用可用数据的前3个字节。不执行由24个以下SCLK周期组成的SPI操作。SPI操作的内容包括一个命令字节, 后边跟双字节数据字。

图1所示为完整3线串行接口传输的时序图。以偏移二进制格式接受MAX5703/MAX5704/MAX5705的DAC编码设置(见表1)。此外, 每条命令的预期数据格式列于表2。

SPI用户命令寄存器映射

本节列出了MAX5703/MAX5704/MAX5705的用户可访问命令和寄存器。

表2提供了关于SPI命令寄存器的详细信息。

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

CODE命令

CODE命令(B[23:20] = 1000)更新DAC的CODE寄存器内容。根据该命令更改CODE寄存器不直接影响DAC输出，除非将 $\overline{\text{LDAC}}$ 输入拉至低电平。否则，需要随后提供硬件或软件LOAD操作，以便将数据有效地锁存到DAC。触发 $\overline{\text{CLR}}$ 时，该命令被拒绝，将忽略寄存器更新操作，而是将寄存器清零，参见表1和表2。

LOAD命令

LOAD命令(B[23:20] = 1001)装载当前CODE寄存器的内容，进而更新DAC锁存器的内容。触发 $\overline{\text{CLR}}$ 时，该命令被拒绝，将忽略寄存器更新操作，而是将寄存器清零，参见表2。

CODE_LOAD命令

CODE_LOAD命令(B[23:20] = 1010和1011)更新CODE寄存器的内容以及DAC寄存器的内容，触发 $\overline{\text{CLR}}$ 时，该命令被拒绝，将忽略这些寄存器的更新操作，而是将寄存器清零，参见表1和表2。

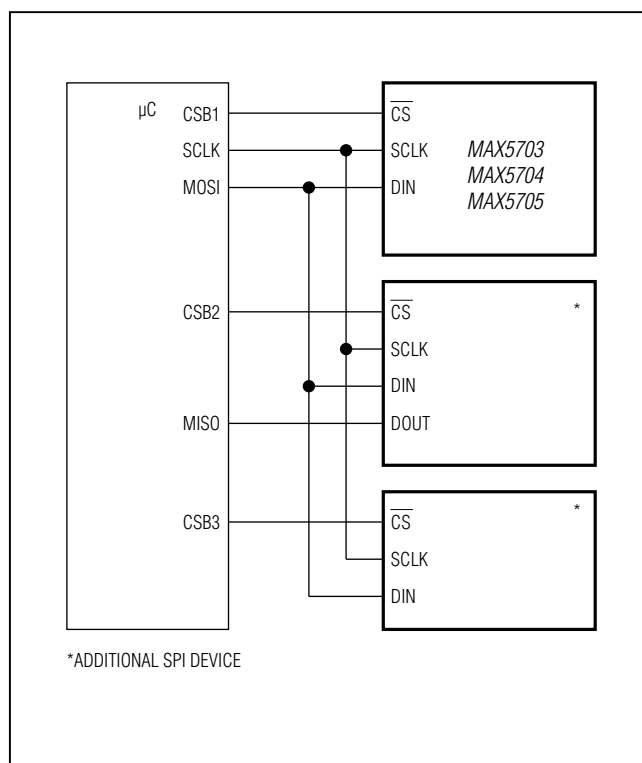


图2. 典型的SPI应用电路

表1. DAC数据位位置

PART	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
MAX5703	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X	X	X	X	X
MAX5704	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X	X	X
MAX5705	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

表2. SPI命令汇总

COMMAND	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	DESCRIPTION
DAC COMMANDS																									
CODE	1	0	0	0	X	X	X	X											CODE REGISTER DATA[3:0]	X	X	X	X	X	Writes data to the CODE register
LOAD	1	0	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	Transfers data from the CODE registers to the DAC register
CODE_LOAD	1	0	1	0	X	X	X	X											CODE AND DAC REGISTER DATA[3:0]	X	X	X	X	X	Simultaneously writes data to the CODE register while updating DAC register
CODE_LOAD	1	0	1	1	X	X	X	X											CODE AND DAC REGISTER DATA[3:0]	X	X	X	X	X	Simultaneously writes data to the CODE register while updating DAC register
RETURN	0	1	1	1	X	X	X	X											RETURN REGISTER DATA[3:0]	X	X	X	X	X	Updates the RETURN register contents for the DAC

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC,
内置基准和SPI接口

表2. SPI命令汇总(续)

COMMAND	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	DESCRIPTION
CONFIGURATION COMMANDS																									
REF	0	0	1	0	0 = No Drive 1 = Drive Pin	0 = Default 1 = Always ON	Ref Mode 00 = EXT 01 = 2.5V 10 = 2.0V 11 = 4.1V	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	Sets the reference operating mode.
	0	0	1	1	X	Type: 000 = END 001 = GATE 100 = CLR 101 = RST Other = No Effect	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	Executes a software operation of the type chosen	
POWER	0	1	0	0	X	X	X	X	X	X	X	X	X	X	X	X	Power Mode: 00 = DAC 01 = 1kΩ 10 = 100kΩ 11 = HiZ	X	X	X	X	X	X	X	Sets the Power mode
	0	1	0	1	X	X	X	X	X	X	X	X	X	X	X	X	AUX Mode: 011 = GATE 110 = CLEAR 111 = NONE Other = No Effect	X	X	X	X	X	X	X	Updates the function of the AUX input
DEFAULT	0	1	1	0	X	X	X	X	X	X	X	X	X	X	X	X	Default Values: 000 = POR 001 = ZERO 010 = MID 011 = FULL 100 = RETURN Other = No Effect	X	X	X	X	X	X	X	Sets the default value for the DAC
	NO OPERATION COMMANDS																								
No Operation	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	These commands will have no effect on the part.
	1	1	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
Reserved Commands: Any commands not specifically listed above are reserved for Maxim internal use only.																									

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

REF命令

REF (B[23:20] = 0010)命令更新DAC的全局基准配置, B[17:16] = 00时, DAC使用外部基准; B[17:16]为01、10, 或者是11时, 分别选择2.5V、2.048V或4.096V内部基准。

如果REF命令中RF3 (B19)置零(默认值), REF I/O将不经过内部基准电路驱动, 节省电流。如果RF3置1, REF I/O将由内部基准电路驱动, 在基准上电条件下, 额外消耗25μA (典型值)电流; 如果基准关断, REF I/O为高阻态。

如果REF命令中RF2 (B18)置零(默认值), 则当DAC关断(STANDBY模式)时关闭基准; 如果RF2 (B18)置1, 即使DAC关断, 基准也将保持有效, 允许外部电路保持有效供电, 但此时无法进入1μA关断模式, 参见表3。

SOFTWARE命令

SOFTWARE (B[23:20] = 0011)命令提供几种灵活的软件操作, 如表4所示。

SOFTWARE命令通过B[18:16]选择有效操作:

- END (000): 用于终止任何有效的屏蔽操作, 恢复标准工作模式(默认状态)。
- GATE (001): DAC内容将置于DEFAULT选择的数值, 直到解除屏蔽条件。
- CLEAR (100): 所有CODE和DAC内容清除到DEFAULT选择的数值。
- RESET (101): 所有CODE、DAC、RETURN和配置寄存器复位到其上电默认状态(包括: REF、POWER和CONFIG设置), 类似于重新上电复位。
- OTHER: 没有影响。

表3. REF (0010)命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	0	1	0	RF3	RF2	RF1	RF0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
REF COMMAND				0 = REF Not driven 1 = REF Driven	0 = Off in Standby 1 = On in Standby	Ref Mode: 00 = EXT 01 = 2.5V 10 = 2.0V 11 = 4.0V		Don't Care								Don't Care							
DEFAULT VALUES				0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

表4. SOFTWARE (0011)命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	0	1	1	X	SW2	SW1	SW0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
SOFTWARE COMMANDS				Don't Care	Mode: 000: END 001: GATE 100: CLR 101: RST Other: No Effect			Don't Care								Don't Care							
DEFAULT VALUES				X	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

POWER命令

MAX5703/MAX5704/MAX5705具有软件控制的POWER模式命令(B[23:20] = 0100)。

关断状态下，DAC输出与缓冲器断开，通过两个内部选择的电阻之一接地，或者是置于高阻态。关断模式下的电阻选择，请参考[表5](#)和[表6](#)。关断模式下，DAC寄存器保留其

数据，当器件恢复工作时将恢复输出状态。关断模式下，串口保持有效，因此可访问所有寄存器。

关断模式下，可关闭内部基准，也可以将其保持在有效状态，以供外部电路使用。另外，关断模式下，使用外部基准的器件不会在REF引脚加载电压，如[表5](#)所示。

表5. POWER (0100)命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	1	0	0	X	X	X	X	X	X	X	X	X	X	X	X	PD1	PD0	X	X	X	X	X	X
POWER COMMAND				Don't Care				Don't Care								Power Mode: 00 = Normal 01 = 1k Ω 10 = 100k Ω 11 = Hi-Z		Don't Care					
DEFAULT VALUES				X	X	X	X	X	X	X	X	X	X	X	X	0	0	X	X	X	X	X	X
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

表6. 关断模式下，可选择DAC输出阻抗

PD1 (B7)	PD0 (B6)	OPERATING MODE
0	0	Normal operation
0	1	Power-down with internal 1k Ω pulldown resistor to GND.
1	0	Power-down with internal 100k Ω pulldown resistor to GND.
1	1	Power-down with high-impedance output.

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

CONFIG命令

CONFIG命令(B[23:20] = 0101)更新 $\overline{\text{AUX}}$ 输入功能, 使其屏蔽、负载或清零(默认)操作模式, 见表7所示。

$\overline{\text{AUX}}$ Config通过B[5:3]写操作设置:

- GATE (011): $\overline{\text{AUX}}$ 用作 $\overline{\text{GATE}}$, 该引脚为低电平时, DAC码置于DEFAULT值。
- CLEAR (110): $\overline{\text{AUX}}$ 用作 $\overline{\text{CLR}}$ 输入(默认状态), 该引脚为低电平时, CODE和DAC内容置于DEFAULT值。
- NONE (111): 禁止 $\overline{\text{AUX}}$ 功能。
- OTHER: 不改变 $\overline{\text{AUX}}$ 功能。

DEFAULT命令

DEFAULT (0110): DEFAULT命令选择DAC的默认值, 这些默认值用于随后的清零和选通操作。新默认设置由DF[2:0]位决定, 请参见表8。

可用的默认值(DF[2:0])有:

可使用的默认值包括:

- POR (000): DAC默认为上电复位值(默认状态)。
- ZERO (001): DAC默认为零刻度。
- MID (010): DAC默认为中间刻度。
- FULL (011): DAC默认为满刻度。
- RETURN (100): DAC默认为RETURN寄存器规定的数值。
- OTHER: 不影响, 默认设置保持不变。

注: SW_RESET命令或重新上电时, DAC都将置于上电复位状态(零值), 而非所选择的复位值。

表7. CONFIG (0101)命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	1	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	AB2	AB1	AB0	X	X	X
CONFIG COMMAND				Don't Care				Don't Care								Don't Care		AUXB Mode: 011 = GATE 110 = CLEAR 111 = NONE Other = No Effect			Don't Care		
DEFAULT VALUES				X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	1	0	X	X	X
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

表8. DEFAULT (0110)命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	1	1	0	X	X	X	X	X	X	X	X	X	X	X	X	DF2	DF1	DF0	X	X	X	X	X
DEFAULT COMMAND				Don't Care				Don't Care								Default Values: 000: POR 001: ZERO 010: MID 011: FULL 100: RETURN Other: No Effect			Don't Care				
DEFAULT VALUES				X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	X	X	X	X	X
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

RETURN命令

RETURN命令(B[23:20] = 0111)刷新DAC RETURN寄存器的内容, 如果DEFAULT配置寄存器置于RETURN模式, 发生软件(SW)或硬件(HW)清零或GATE条件时, DAC将输出置于RETURN寄存器值对应的状态。如果不使用DEFAULT = RETURN模式, 则不必编程设置该寄存器。RETURN寄存器的数据格式与CODE和LOAD操作所使用的格式相同, 参见[表1](#)和[表2](#)。

应用信息

上电复位(POR)

电源加至V_{DD}时, DAC输出设置为零刻度。为获得最佳DAC线性度, 等待电源达到稳定并完成内部设置和校准序列(200μs, 典型值)。

电源和旁路考虑

用高品质陶瓷电容将V_{DD}旁路至低阻地, 电容尽量靠近器件放置。将引线长度降至最短, 以减小引线电感。将GND连接至模拟接地区域。

布局考虑

GND上的数字和交流瞬态信号会在输出产生噪声。DAC系统的接地应采用星形连接。将该系统地作为远端DAC负载的参考地有助于获得最佳性能。采用正确的接地技术, 例如带有低电感地层的多层电路板, 或者采用星形拓扑将全部地回路连接至MAX5703/MAX5704/MAX5705的GND。须特别注意通道间的走线, 以降低交流交叉耦合。不要使用绕线电路板或插座。采用屏蔽, 提高抗噪性。不得并行排列模拟和数字信号线, 特别是时钟信号。避免在MAX5703/MAX5704/MAX5705封装下方出现数字信号线。

定义

积分非线性(INL)

INL是消除失调、增益误差后, 所测的传递函数与两个代码连接直线的偏差。

微分非线性(DNL)

DNL是实际步长与1 LSB理想值之差。如果DNL的幅度 ≤ 1 LSB, DAC可确保无丢码并且单调。如果DNL的幅度 ≥ 1 LSB, DAC输出仍可能单调。

失调误差

失调误差指在某个工作点, 实际传递函数与理想传递函数的差异。通常情况下, 规定在位于或靠近传递函数零点的位置测量失调误差。

增益误差

增益误差为消除失调误差后, 理想的满幅输出电压与实际传递函数曲线满幅输出电压的差。该误差会改变传递函数的斜率, 每一步长具有相同百分比误差。

零点误差

零点误差指的是零码时, DAC输出与地电位之差, 包括失调及其它非理想因素导致的误差。

满量程误差

满量程误差指的是满量程输入时, DAC输出与基准电压之差。其中包括失调误差、增益误差及其它非理想因素导致的误差。

建立时间

建立时间是指从开始转换到DAC稳定地把新的输出值建立在规定精度所需要的时间。

数字馈通

数字馈通是指触发DAC数字控制线时, 在DAC输出端产生的噪声。

数/模转换器干扰脉冲

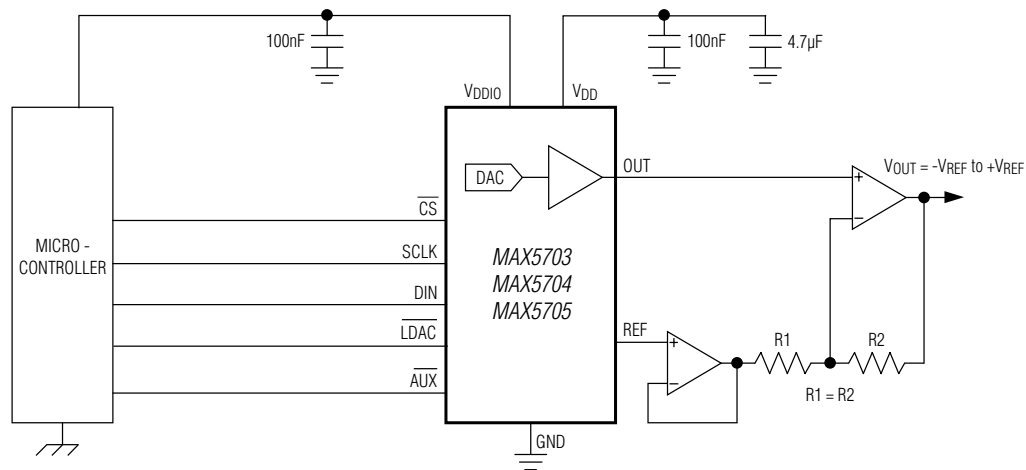
中间刻度点时发生脉冲干扰最严重的位置, 此时MSB由低电平跳变到高电平, 其它所有数据位则由高电平跳变到低电平; 或者MSB由高电平跳变到低电平, 而其它数据位由低电平跳变到高电平。跳变位数最多时, 干扰脉冲的持续时间称作数/模转换器干扰脉冲。

数/模转换器的上电干扰指器件退出关断模式时所产生的干扰脉冲持续时间。

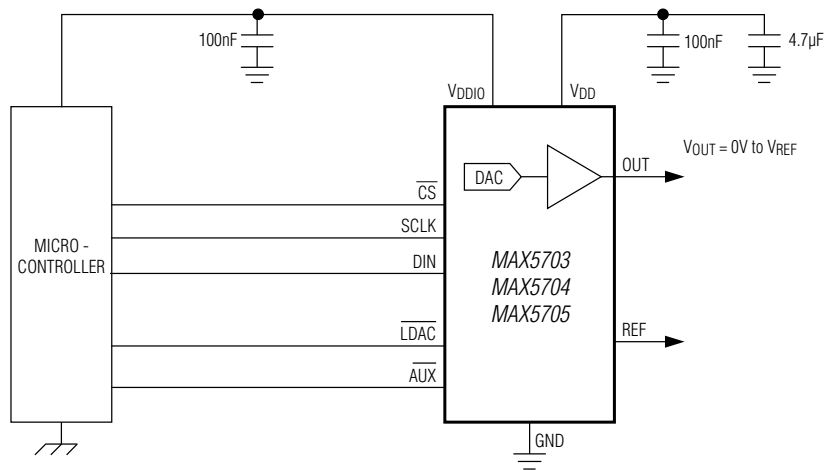
MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

典型工作电路



NOTE: BIPOLAR OPERATION SHOWN



NOTE: UNIPOLAR OPERATION SHOWN

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

订购信息

器件	引脚-封装	分辨率(位)	内部基准温度系数(ppm/°C)
MAX5703 ATB+T	10 TDFN-EP*	8	10 (typ), 25 (max)
MAX5703AUB+	10 μ MAX	8	10 (typ), 25 (max)
MAX5704 ATB+T	10 TDFN-EP*	10	10 (typ), 25 (max)
MAX5704AUB+	10 μ MAX	10	10 (typ), 25 (max)
MAX5705 AAUB+	10 μ MAX	12	4 (typ), 12 (max)
MAX5705BATB+T	10 TDFN-EP*	12	10 (typ), 25 (max)
MAX5705BAUB+	10 μ MAX	12	10 (typ), 25 (max)

注：所有器件均工作在-40°C至+125°C温度范围内。
 +表示无铅(Pb)/符合RoHS标准的封装。
 T = 卷带包装。
 *未来产品—供货状况请联系工厂。
 **EP = 裸焊盘。

芯片信息

PROCESS: BiCMOS

封装信息

如需最近的封装外形信息和焊盘布局(占位面积)，请查询china.maximintegrated.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
10 TDFN-EP	T1032N+1	21-0429	90-0082
10 μ MAX	U10+2	21-0061	90-0330

MAX5703/MAX5704/MAX5705

超小尺寸、单通道、8/10/12位电压缓冲DAC, 内置基准和SPI接口

修订历史

修订号	修订日期	说明	修改页
0	11/12	最初版本。	—
1	2/13	发布了MAX5703/MAX5704，更新了电气特性表。	2-8, 25
2	6/13	发布了MAX5703/MAX5704 TDFN封装。	25

Maxim北京办事处

北京8328信箱 邮政编码100083
免费电话: 800 810 0310
电话: 010-6211 5199
传真: 010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00