

MAXIM

TMDS数字视频均衡器, 用于HDMI/DVI电缆

MAX3815A

概述

MAX3815A电缆均衡器为DVI™和HDMI™ v1.3电缆传输提供自动补偿, 能够使电缆传输距离延伸至40米(1.65Gbps)和35米(2.25Gbps)。MAX3815A设计用于均衡采用最小化传输差分信号(TMDS®)编码格式的信号。

MAX3815A具有4路CML差分输入和输出(3路数据和1路时钟), 提供1路信号丢失(LOS)输出, 用于指示时钟信号的丢失。输出具有禁止功能, 根据LOS的状态芯片能够置于关断模式。对于芯片间的直接通信, 输出驱动器可切换到DVI输出规格的一半, 以节省功耗并降低EMI。为了使用背向端接电阻以改善信号完整性, 可以增大输出驱动电流。对于特定电缆的应用, 可以自动或手动控制均衡。

MAX3815A采用7mm x 7mm、48引脚TQFP-EP封装, 工作温度范围为0°C至+70°C。

应用

前投HDMI/DVI输入
 高清电视和显示器
 HDMI/DVI-D电缆扩展模块和有源电缆组件
 LCD计算机监视器
 HDMI 1.3深色系统

特性

- ◆ 2.25Gbps (HDMI 1.3)速率下确保性能指标在规定范围内, 在低幅度信号源输入下能够改善抖动指标并增强输出驱动
- ◆ 扩展2.25Gbps TMDS接口传输线长度
 24 AWG HDMI电缆: 0至35米
 28 AWG HDMI电缆: 0至22米
- ◆ 扩展1.65Gbps TMDS接口传输线长度
 24 AWG HDMI电缆: 0至40米
 28 AWG HDMI电缆: 0至28米
- ◆ 支持720p、1080i、1080p、以及36位色彩的1080p HDTV分辨率
- ◆ 支持VGA、SVGA、XGA、SXGA、UXGA以及WUXGA计算机分辨率
- ◆ 全自动均衡, 无需系统控制
- ◆ 3.3V电源供电
- ◆ 功耗为0.6W (典型值)
- ◆ 7mm x 7mm、48引脚TQFP无铅封装

订购信息

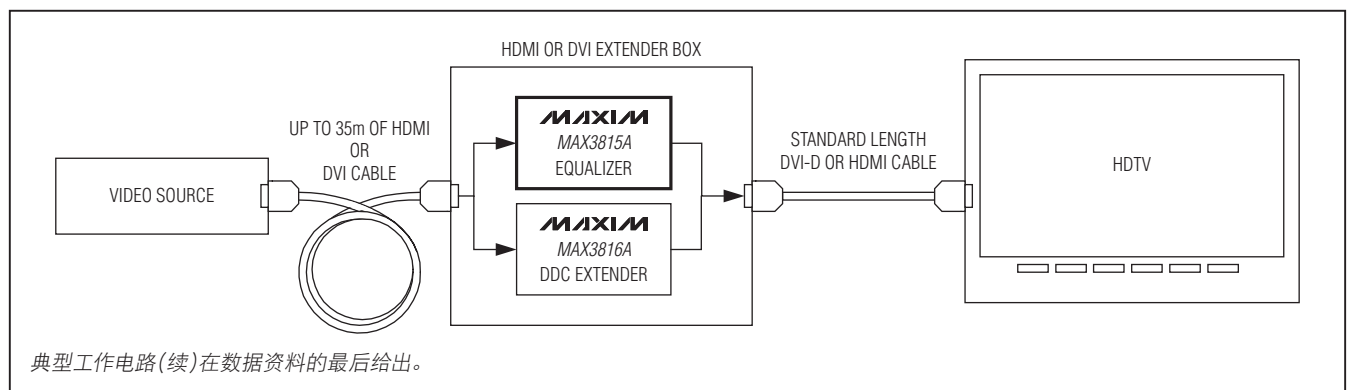
PART	TEMP RANGE	PIN-PACKAGE
MAX3815ACCM+	0°C to +70°C	48 TQFP-EP*

+表示无铅(Pb)/符合RoHS标准的封装。

*EP = 裸焊盘。

引脚配置在数据资料的最后给出。

典型工作电路



DVI是Digital Display Working Group的商标。

HDMI是HDMI Licensing, LLC的商标。

TMDS是Silicon Image, Inc.的注册商标。

TMDS数字视频均衡器, 用于HDMI/DVI电缆

ABSOLUTE MAXIMUM RATINGS

Supply Voltage Range, V_{CC} -0.5V to +4.0V
 Voltage Range at Output CML Pins -0.5V to +4.0V
 Voltage Range at Input CML Pins, RES, V_{CC_T} ,
 and GND_T -0.5V to ($V_{CC} + 0.7V$)
 Voltage Between Input CML Complementary Pair $\pm 3.3V$
 Voltage Between Output CML Complementary Pair $\pm 1.4V$

Continuous Power Dissipation ($T_A = +70^\circ C$)
 48-Pin TQFP (derate 36.2mW/ $^\circ C$ above $+70^\circ C$) 2896mW
 Operating Junction Temperature Range $-55^\circ C$ to $+150^\circ C$
 Storage Temperature Range $-55^\circ C$ to $+150^\circ C$
 Die Attach Temperature $+400^\circ C$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to $+3.5V$, $T_A = 0^\circ C$ to $+70^\circ C$. Typical values are at $V_{CC} = +3.3V$, external terminations = $50\Omega \pm 1\%$, MAX3815A in automatic equalization mode (EQCONTROL = GND), TMDS rate = 250Mbps to 2.25Gbps, $T_A = +25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Power-Supply Current	I _{CC}	Clock present ($\overline{\text{CLKLOS}}$ = HIGH)			210	270	mA
		Clock and data absent ($\overline{\text{CLKLOS}}$ = LOW)			12		
Supply-Noise Tolerance		DC to 500kHz			200		mVp-p
EQUALIZER PERFORMANCE							
Residual Output Jitter (Cables Only) 0.25Gbps to 1.65Gbps (Notes 1, 2, and 3)		1dB skin-effect loss at 825MHz			0.05		UI
		24dB skin-effect loss at 825MHz			0.13	0.21	
Residual Output Jitter (Cables Only) 1.65Gbps to 2.25Gbps (Notes 1, 2, and 3)		1dB skin-effect loss at 825MHz			0.1		UI
		24dB skin-effect loss at 825MHz			0.14	0.28	
CID Tolerance				20			Bits
CONTROL AND STATUS							
$\overline{\text{CLKLOS}}$ Assert Level		Differential peak-to-peak at EQ input with max 225MHz clock (see the <i>Typical Operating Characteristics</i> for more information)			50		mVp-p
CML INPUTS (CABLE SIDE)							
Differential Input-Voltage Swing	V _{ID}	At cable input		800	1000	1200	mVp-p
Common-Mode Input Voltage	V _{CM}			V _{CC} - 0.4		V _{CC} + 0.1	V
Input Resistance	R _{IN}	Single-ended		45	50	55	Ω
CML OUTPUTS (ASIC SIDE)							
Differential Output-Voltage Swing	V _{OD}	50Ω load, each side to V _{CC}	OUTLEVEL = HIGH	800	1000	1200	mVp-p
			OUTLEVEL = LOW	500			
		With back termination as shown in Figure 4, OUTLEVEL = OPEN		910			
Output-Voltage High		Single-ended, OUTLEVEL = HIGH		V _{CC}			mV
Output-Voltage Low		Single-ended, OUTLEVEL = HIGH		V _{CC} - 600		V _{CC} - 400	mV
Output Voltage During Clock Absence ($\overline{\text{CLKLOS}}$ = LOW)		Single-ended		V _{CC} - 10		V _{CC} + 10	mV

TMDS数字视频均衡器, 用于HDMI/DVI电缆

MAX3815A

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +3.0V$ to $+3.5V$, $T_A = 0^\circ C$ to $+70^\circ C$. Typical values are at $V_{CC} = +3.3V$, external terminations = $50\Omega \pm 1\%$, MAX3815A in automatic equalization mode (EQCONTROL = GND), TMDS rate = 250Mbps to 2.25Gbps, $T_A = +25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Common-Mode Output Voltage		50Ω load, each side to V_{CC} , OUTLEVEL = HIGH		$V_{CC} - 0.25$		V
Rise/Fall Time (Note 1)		20% to 80%	80	160		ps
LVTTTL CONTROL AND STATUS INTERFACE						
LVTTTL Input High Voltage	V_{IH}		2.0			V
LVTTTL Input Low Voltage	V_{IL}				0.8	V
LVTTTL Input High Current		$V_{IH(MIN)} < V_{IN} < V_{CC}$			± 50	μA
LVTTTL Input Low Current		$GND < V_{IN} < V_{IL(MAX)}$			-100	μA
Open-Collector Output High Voltage		$R_{LOAD} \geq 10k\Omega$ to V_{CC}	2.4			V
Open-Collector Output Low Voltage		$R_{LOAD} \geq 2k\Omega$ to V_{CC}			0.4	V
Open-Collector Output Sink Current					5	mA
OUTLEVEL Input Open-State Current Tolerance				± 5		μA

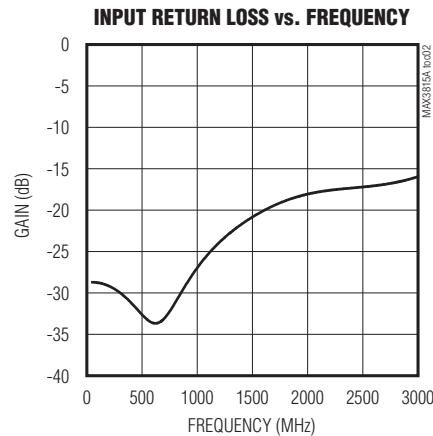
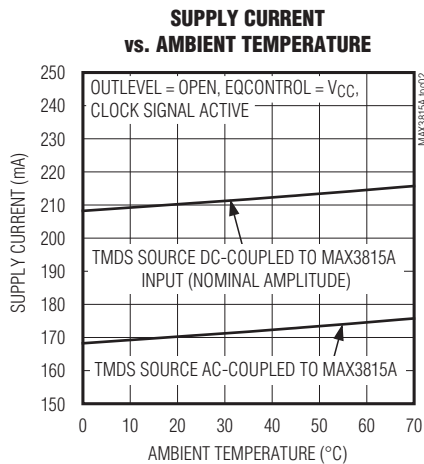
Note 1: AC specifications are guaranteed by design and characterization.

Note 2: Cable input swing is 800mV to 1200mV differential peak-to-peak. Residual output jitter is defined as peak-to-peak jitter, both deterministic plus random, as measured using an oscilloscope histogram with 5000 hits. Source jitter subtracted.

Note 3: Test pattern is a $2^7 - 1$ PRBS + 20 ones + $2^7 - 1$ PRBS (inverted) + 20 zeros.

典型工作特性

(Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ C$, data pattern = $2^7 - 1$ PRBS + 20 ones + $2^7 - 1$ PRBS (inverted) + 20 zeros, equalizer in automatic mode, cable launch amplitude 1Vp-p differential, unless otherwise noted.)

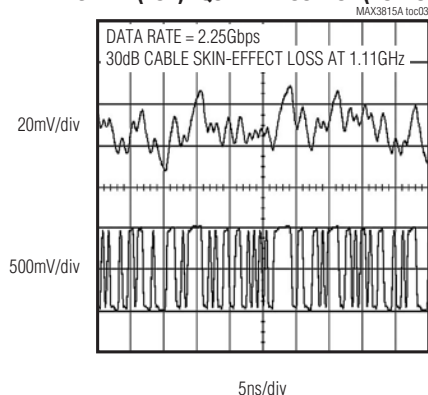


TMDS数字视频均衡器, 用于HDMI/DVI电缆

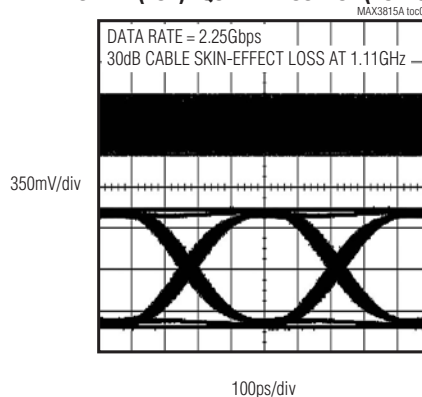
典型工作特性(续)

(Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ C$, data pattern = $2^7 - 1$ PRBS + 20 ones + $2^7 - 1$ PRBS (inverted) + 20 zeros, equalizer in automatic mode, cable launch amplitude 1Vp-p differential, unless otherwise noted.)

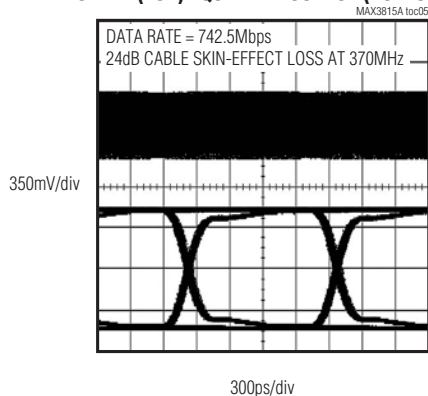
EQUALIZER INPUT AFTER 100ft OF 26 AWG CABLE (TOP) EQUALIZER OUTPUT (BOTTOM)



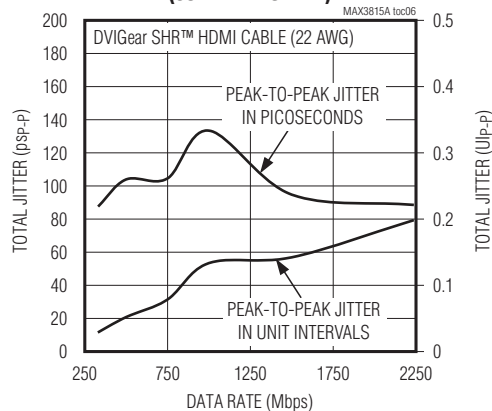
EQUALIZER INPUT EYE AFTER 100ft OF 26 AWG CABLE (TOP) EQUALIZER OUTPUT (BOTTOM)



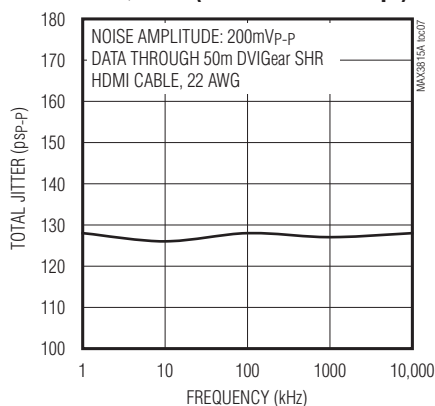
EQUALIZER INPUT EYE AFTER 150ft OF 26 AWG CABLE (TOP) EQUALIZER OUTPUT (BOTTOM)



TOTAL JITTER vs. DATA RATE (50m HDMI CABLE)



TOTAL JITTER vs. POWER-SUPPLY NOISE FREQUENCY (DATA RATE = 2.25Gbps)

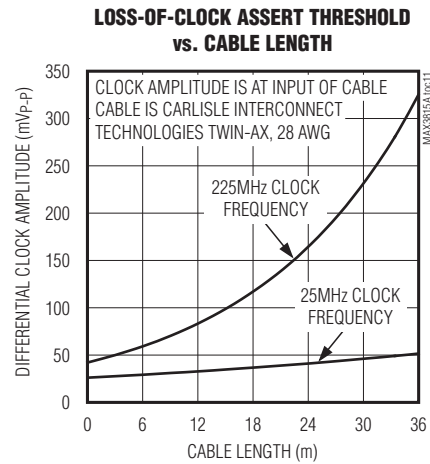
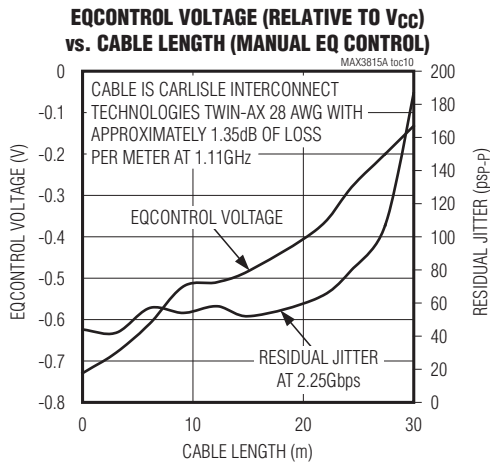
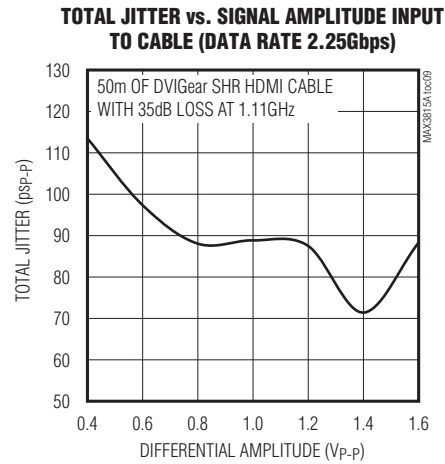
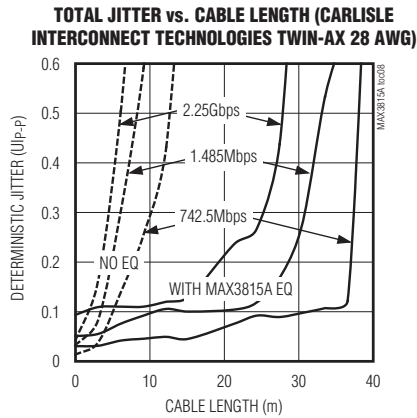


SHR是DVIGear, Inc.的商标。

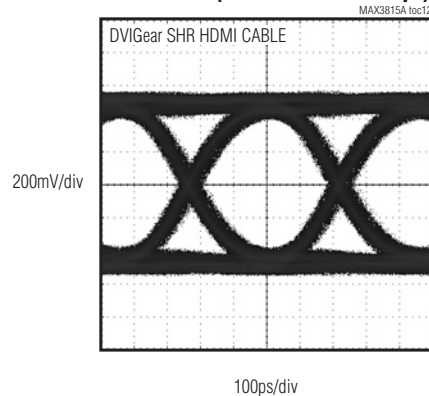
TMDS数字视频均衡器, 用于HDMI/DVI电缆

典型工作特性(续)

(Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ C$, data pattern = $2^7 - 1$ PRBS + 20 ones + $2^7 - 1$ PRBS (inverted) + 20 zeros, equalizer in automatic mode, cable launch amplitude 1Vp-p differential, unless otherwise noted.)



EQUALIZER OUTPUT EYE AFTER 50m OF 22 AWG HDMI CABLE (DATA RATE = 2.25Gbps)



TMD5数字视频均衡器, 用于HDMI/DVI电缆

引脚说明

引脚	名称	功能
1, 4, 5, 8, 9, 12, 13, 16, 38	V _{CC}	电源, 所有引脚必须连接至V _{CC} 。
2	RX0_IN-	数据输入负端, CML。
3	RX0_IN+	数据输入正端, CML。
6	RX1_IN-	数据输入负端, CML。
7	RX1_IN+	数据输入正端, CML。
10	RX2_IN-	数据输入负端, CML。
11	RX2_IN+	数据输入正端, CML。
14	RXC_IN+	时钟输入正端, CML。
15	RXC_IN-	时钟输入负端, CML。
17	EQCONTROL	均衡器控制, 该引脚允许用户控制MAX3815A的均衡电平。将该引脚接GND, 器件置于自动工作模式; 将引脚电压设置在V _{CC} - 1V, 则进入最小均衡模式; 或设置在V _{CC} - 1V至V _{CC} 之间, 手动调节均衡。详细信息请参考应用信息部分。
18	CLKLOS	时钟信号丢失输出, LVTTTL集电极开路输出。来自电缆的输入TMD5时钟丢失时, 该引脚被触发至低电平。通过4.7kΩ电阻将该引脚连接到V _{CC} 。
19	N.C.	没有连接, 该引脚内部没有连接。
20, 23, 24, 25, 28, 29, 32, 33, 36, 37	GND	地。
21	RXC_OUT-	时钟输出负端, CML。
22	RXC_OUT+	时钟输出正端, CML。
26	RX2_OUT+	数据输出正端, CML。
27	RX2_OUT-	数据输出负端, CML。
30	RX1_OUT+	数据输出正端, CML。
31	RX1_OUT-	数据输出负端, CML。
34	RX0_OUT+	数据输出正端, CML。
35	RX0_OUT-	数据输出负端, CML。
39	OUTLEVEL	输出电平控制输入 • 高电平: 标准摆幅(差分1000mV_{P-P}) • 开路: 连接外部267Ω背向端接电阻时, 提供标准摆幅(差分900mV_{P-P}) (参见图4) • 低电平: 标准摆幅的一半(差分500mV_{P-P})
40	OUTON	输出使能控制输入, LVTTTL。该输入置于低电平时, 使能CML输出; 置于高电平时, 输出为差分逻辑0。
41, 43, 44	V _{CC_T}	保留, 必须接V _{CC} 以正常工作。
42	GND_T	保留, 必须接GND以正常工作。
45–48	RES	保留, 必须浮空以正常工作。
—	EP	裸焊盘, 裸焊盘必须焊接至电路板地平面, 以保证适当的散热和电气操作。

TMDs数字视频均衡器, 用于HDMI/DVI电缆

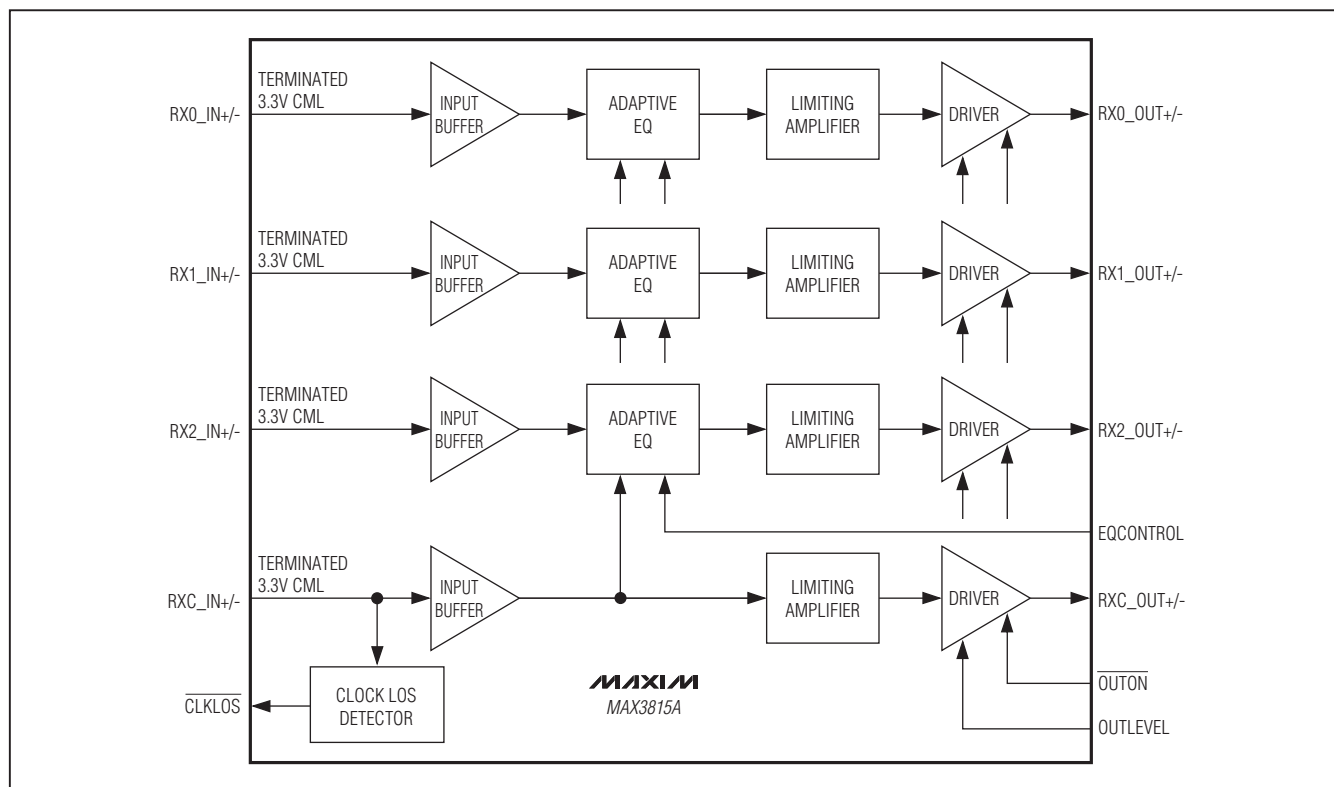


图1. 功能框图

详细说明

MAX3815A TMDs均衡器能够接受250Mbps至2.25Gbps (每通道数据速率)的差分CML输入数据,能够自动调节铜缆的趋肤效应损耗。器件由4路CML输入缓冲器、1路时钟信号丢失检测器、3路独立的自适应均衡器、4路限幅放大器和4路输出缓冲器组成(图1)。

CML输入缓冲器和输出驱动器

输入缓冲器和输出驱动器采用电流模式逻辑(CML)构建(见图4和图5)。输出驱动器为集电极开路,能够通过OUTON引脚控制关闭。OUTLEVEL引脚能够将输出驱动电流设置为三种电平之一,详细信息请参考应用信息和引脚说明部分。有关CML接口的详细内容请参考应用笔记291: HFAN-01.0: LVDS、PECL和CML介绍。

时钟信号丢失检测器

时钟信号丢失检测器通过CLKLOS引脚指示时钟信号的丢失。该输出为集电极开路输出,必须通过4.7kΩ外部上拉电阻连接至VCC。无论是否使用LOS输出,必须连接该电阻。

自适应均衡器

三个数据通道的每个通道包含一个独立的自适应均衡器。每个通道对其输入信号进行分析,决定均衡度。

限幅放大器

限幅放大器放大大自适应均衡器的输出信号,并对波形顶部和底部进行削波,向输出驱动器提供干净的高电平和低电平信号。

TMDS数字视频均衡器, 用于HDMI/DVI电缆

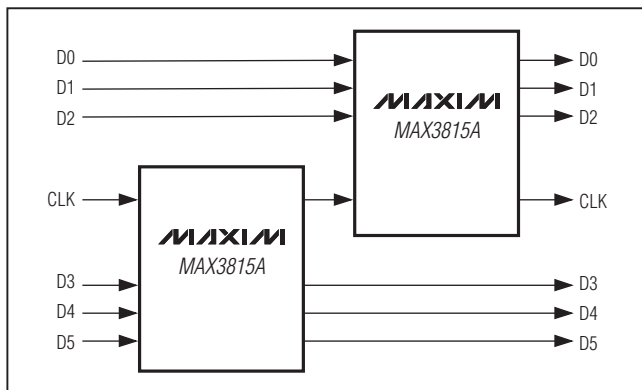


图2. MAX3815A在双链路中的连接电路

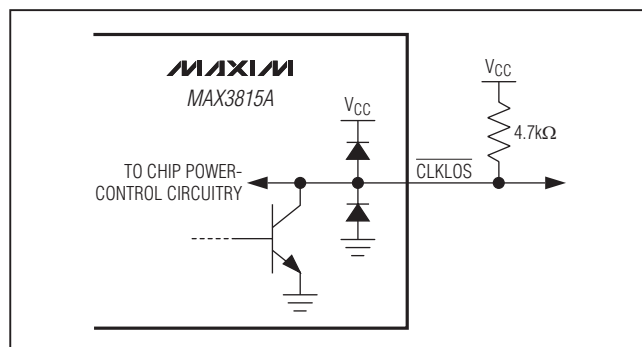


图3. CLKLOS输出电路的简化框图

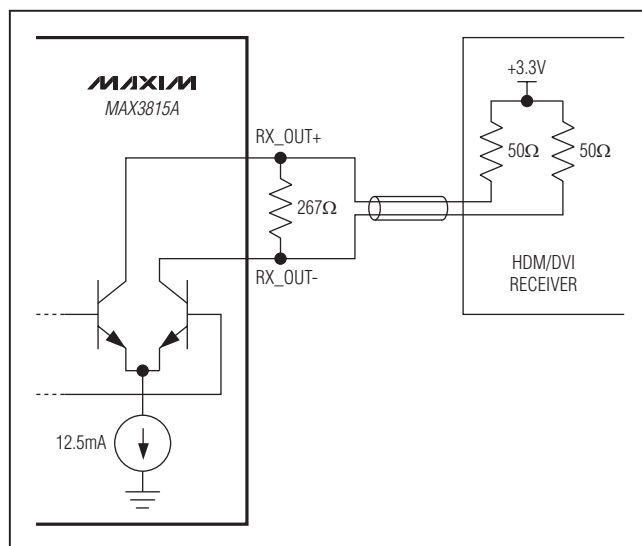


图4. 背向端接电路

DFP是Video Electronics Standards Association (VESA)的商标。
ADC是Apple Computer, Inc.的商标。

应用信息

典型的屏蔽双绞线(STP)、非屏蔽双绞线(UTP)和同轴电缆均存在趋肤效应损耗, 衰减TMDS信号的高频部分, 最终导致数据错误, 甚至在一定长度的线缆上造成信号眼图闭合。MAX3815A通过补偿均衡, 恢复数据并打开信号眼图。

基本的TMDS接口由四个差分串行链路组成: 三个链路中的每个通道可以承载高达2.25Gbps的串行数据, 第四路为十分之一速率(0.1x)的时钟, 工作频率高达225MHz。TMDS类似于模拟nVGA链路, 需要支持各种分辨率和屏幕刷新速率。实际的串行数据速率大约为250Mbps至2.25Gbps。对于需要极高分辨率(如: QXGA)的设备, 可以采用“双链路”DVI接口, 由六路数据链路和一路时钟组成, 需要两片MAX3815A IC, 时钟信号同时加载到2片IC, 参见图2。

MAX3815A可以在下列商标名称应用中用来扩展任何TMDS接口的传输距离: DVI (数字视频接口)、DFP™ (数字平板)、PanelLink、ADC™ (Apple显示连接器)和HDMI (高清多媒体接口)。

时钟信号丢失(CLKLOS)输出

时钟信号丢失由CLKLOS输出指示。CLKLOS的低电平表示在RXC_IN引脚的信号功率跌至门限以下。当通道上有足够大的输入电压时(通常大于差分100mV_{P-P}), CLKLOS为高。CLKLOS输出适合指示传输链路引起的问题, 如, 线缆断裂、驱动器故障或未连接均衡器。需要注意的是时钟丢失电路对RXC_IN引脚间的直流或交流电压非常敏感。大于±30mV (典型值)的直流或交流电压均会检测为有效时钟信号。

TMDS数字视频均衡器, 用于HDMI/DVI电缆

接口模式

一旦时钟信号消失时, 时钟丢失检测电路将器件置于关断模式。该功能在没有输入信号时关闭输出, 使功耗降至83mW。关断模式下, MAX3815A的TMDS输出引脚为高阻态。

$\overline{\text{CLKLOS}}$ 为集电极开路输出, 工作时需要通过电阻上拉至 V_{CC} 。上拉电阻范围为1k Ω 至10k Ω (见图3)。

输出电平控制(OUTLEVEL)输入

OUTLEVEL引脚为三态输入, 允许用户选择三种输出设置。该引脚置于高电平时, 在没有背向端接电阻的情况下输出标准电平信号; 该引脚浮空, 则在外接267 Ω 差分背向端接电阻的情况下输出标准摆幅信号; 该引脚置于低电平时, 输出为标准信号电平的一半。

采用背向端接

采用背向端接电阻有助于吸收反射, 提高信号完整性。此时还会改变单端输出电压的高电平(V_{H})和低电平(V_{L})。表1分别给出了MAX3815A在三种输出配置下的输出电压。

均衡器控制(EQCONTROL)输入

EQCONTROL引脚允许用户采用两种方式控制均衡器工作: 该引脚接地, 将均衡器置于自动均衡模式; 将该引脚连接到 $V_{\text{CC}} - 1\text{V}$ 至 V_{CC} 电压, 则手动控制均衡电平。该引脚接 V_{CC} 时可以获得最大的电压提升幅度(长线传输); 该引脚接 $V_{\text{CC}} - 1\text{V}$ 时, 则电压提升幅度最小(短线传输)。

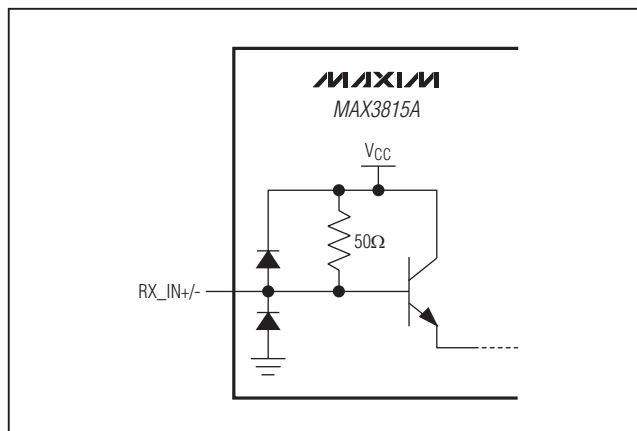


图5. 输入电路简化框图

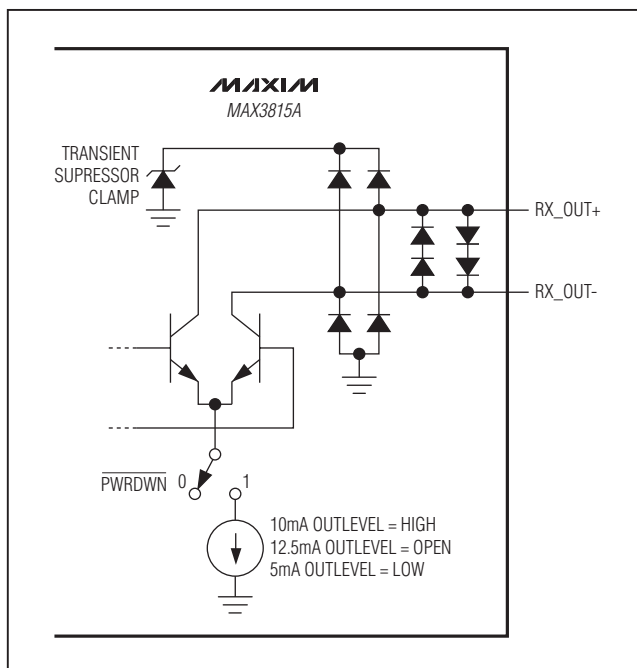


图6. 输出电路简化框图

表1. 输出设置和摆幅

OUTLEVEL	BACK TERMINATION	DIFFERENTIAL SWING (mVp-p)	SINGLE-ENDED HIGH (V_{H})	SINGLE-ENDED LOW (V_{L})
High	Open	1000	V_{CC}	$V_{\text{CC}} - 500\text{mV}$
Open	267 Ω	910	$V_{\text{CC}} - 85\text{mV}$	$V_{\text{CC}} - 540\text{mV}$
Low	Open	500	V_{CC}	$V_{\text{CC}} - 250\text{mV}$

TMD5数字视频均衡器, 用于HDMI/DVI电缆

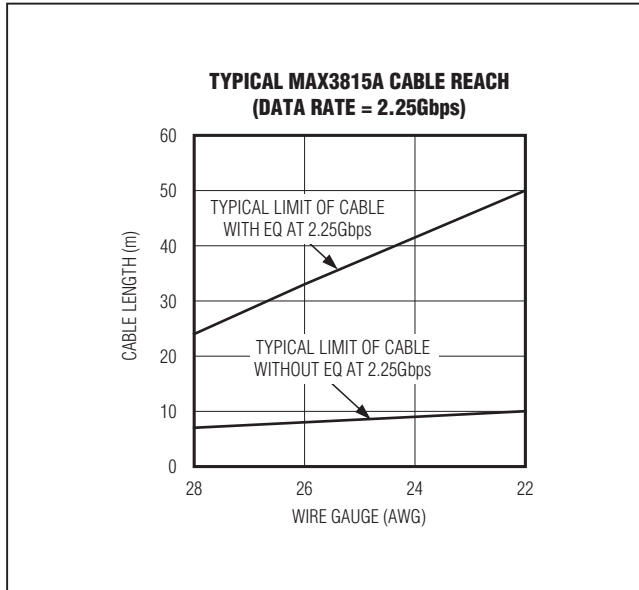


图7. 电缆传输距离

输出开启($\overline{\text{OUTON}}$)输入

$\overline{\text{OUTON}}$ 引脚为LVTTTL输入。将该引脚置于低电平使能输出; 将该引脚置于高电平时, 输出为差分0信号, 与输入信号无关。

电缆选择

TMD5性能很大程度上依赖于电缆质量。确定性抖动(DJ)与双绞线(STP或UTP)内差分至共模的转换(或反向转换)有关, 通常是电缆绞合或电介质不平衡造成的。详细信息请参考应用笔记3353: *HFAN-04.5.4: 双绞线不平衡时会产生‘抖动’*和应用笔记4218: *不平衡双绞线会造成抖动!*

布局考虑

数据和时钟输入是MAX3815A最重要的通路, 需要尽可能避免连接器与IC之间的这些传输线的不连续性。以下给出了一些建议, 旨在获得MAX3815A的最佳性能:

- 数据和时钟输入应在电缆连接器和IC之间直接连接, 无断头。
- 电源滤波电容应靠近MAX3815A输入放置, 为电源返回电流提供低电感通路。
- 输入和输出数据通道诊断仅供参考, 极性分配可以互换, 通道间可以互换。
- 高速I/O下方应布设连续的地平面。
- 接地过孔应靠近输入/输出连接器放置, 以提供低电感电流返回通路。
- MAX3815A的输入、输出保持100 Ω 差分传输线阻抗。
- 采用良好的高频布局技术和带有连续地平面的多层板, 使EMI和串扰最小, 请参考应用笔记3854: *MAX3815: MAX3815 DVI/HDMI电缆均衡器的连接和评估板数据资料* MAX3815EVKIT-HDMI。

裸焊盘封装

48引脚TQFP-EP封装的裸焊盘提供极低的热阻通路, 便于IC散热。该焊盘同时也是MAX3815A的电气地, 必须焊接到电路板的地平面, 以提供适当的散热并保证电气性能, 详细信息请参考Maxim应用笔记862: *HFAN-08.1: Thermal Considerations of QFN and Other Exposed-Paddle Packages*。

芯片信息

PROCESS: SiGe BiPOLAR

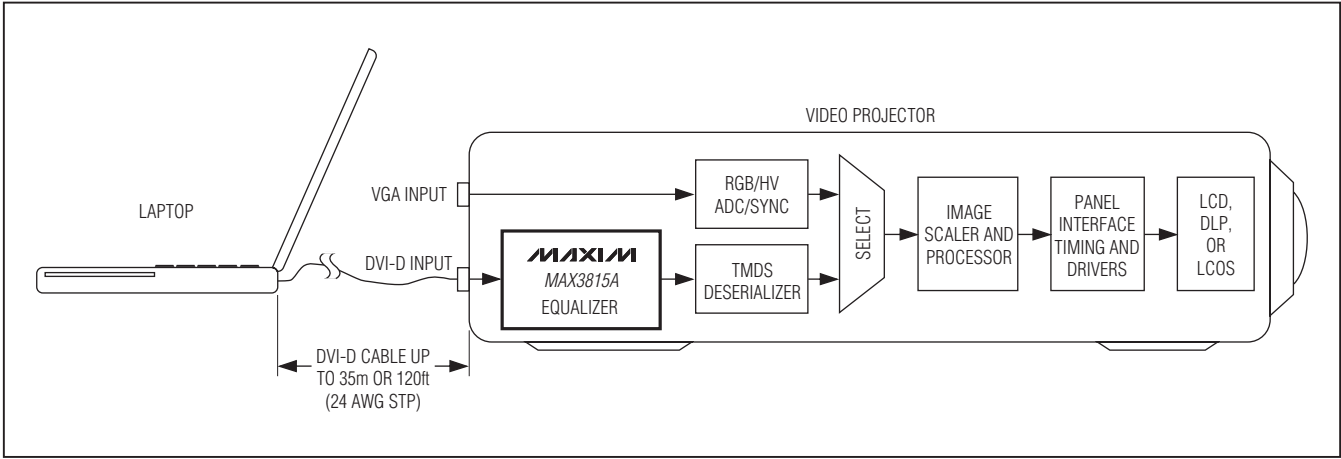
封装信息

如需最近的封装外形信息和焊盘布局, 请查询 china.maxim-ic.com/packages。

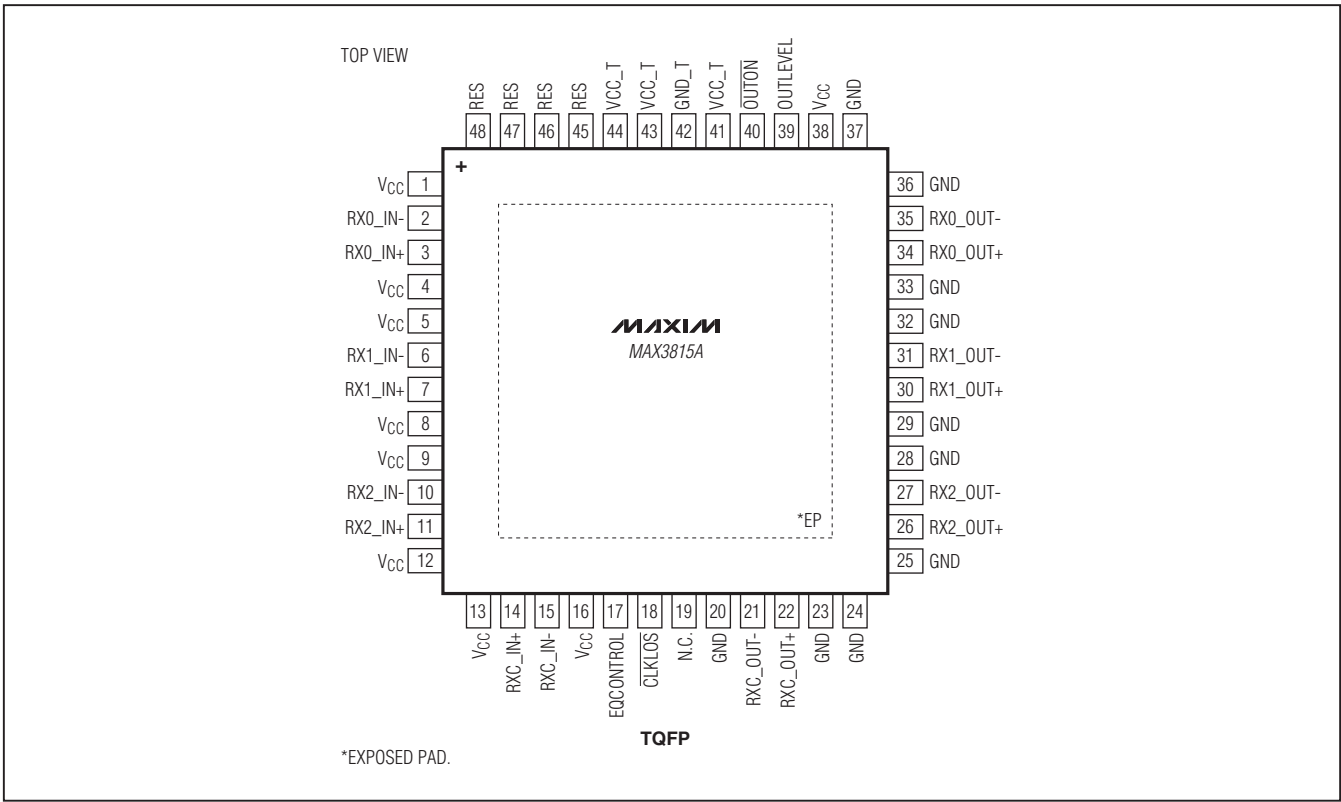
封装类型	封装编码	文档编号
48 TQFP-EP	C48E+8	21-0065

TMD5数字视频均衡器, 用于HDMI/DVI电缆

典型工作电路(续)



引脚配置



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

11

© 2009 Maxim Integrated Products

Maxim是Maxim Integrated Products, Inc.的注册商标。